

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shunpei Yamazaki et al.                      Art Unit : Unknown  
Serial No. : New Application                              Examiner : Unknown  
Filed : December 9, 2003  
Title : SEMICONDUCTOR CHIP AND METHOD FOR MANUFACTURING THE  
SAME

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119**

Applicants hereby confirm their claim of priority under 35 USC §119 from the following application:

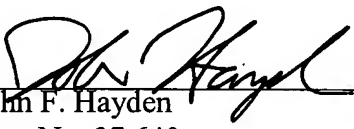
**Japan Application No. 2002-368947 filed December 19, 2002**

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: December 9, 2003

  
\_\_\_\_\_  
John F. Hayden  
Reg. No. 37,640

**Customer No. 26171**  
Fish & Richardson P.C.  
1425 K Street, N.W., 11th Floor  
Washington, DC 20005-3500  
Telephone: (202) 783-5070  
Facsimile: (202) 783-2331

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年 1 2 月 1 9 日  
Date of Application:

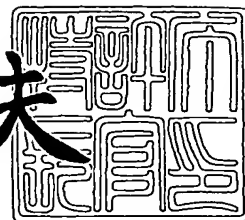
出 願 番 号                      特 願 2 0 0 2 - 3 6 8 9 4 7  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 2 - 3 6 8 9 4 7 ]

出      願      人                      株式会社半導体エネルギー研究所  
Applicant(s):

2 0 0 3 年 1 0 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 8 9 7 7

【書類名】 特許願

【整理番号】 P006821

【提出日】 平成14年12月19日

【あて先】 特許庁長官 殿

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 山崎 舜平

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 高山 徹

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 丸山 純矢

【発明者】

    【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

    【氏名】 大野 由美子

【特許出願人】

    【識別番号】 000153878

    【氏名又は名称】 株式会社半導体エネルギー研究所

    【代表者】 山崎 舜平

【手数料の表示】

    【予納台帳番号】 002543

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

**【書類名】 明細書****【発明の名称】 半導体チップおよびその作製方法****【特許請求の範囲】****【請求項 1】**

熱伝導性基板上に膜厚  $50\ \mu\text{m}$  以下の複数の素子形成層を有する半導体チップであって、

熱伝導性基板上に第 1 の接着層を介して備えられた膜厚  $50\ \mu\text{m}$  以下の第 1 の素子形成層と、

前記第 1 の素子形成層に接して形成された熱伝導性膜と、

前記熱伝導性膜上に第 2 の接着層を介して備えられた膜厚  $50\ \mu\text{m}$  以下の第 2 の素子形成層とを有することを特徴とする半導体チップ。

**【請求項 2】**

請求項 1 において、

前記第 1 の素子形成層および前記第 2 の素子形成層は、その膜厚が  $0.1 \sim 10\ \mu\text{m}$  であることを特徴とする半導体チップ。

**【請求項 3】**

請求項 1 または請求項 2 において、

前記第 1 の素子形成層に含まれる半導体素子、および前記第 2 の素子形成層に含まれる半導体素子は、それぞれ接続配線により前記熱伝導性基板上に形成された配線と電気的に接続されることを特徴とする半導体チップ。

**【請求項 4】**

請求項 1 または請求項 2 において、

前記第 1 の素子形成層に含まれる半導体素子、および前記第 2 の素子形成層に含まれる半導体素子は、第 1 の素子形成層に含まれる配線と、第 2 の素子形成層に含まれる配線と電気的に接続された補助配線とが、前記第 2 の接着層を介して電気的に接続されることを特徴とする半導体チップ。

**【請求項 5】**

請求項 4 において、

前記第 2 の接着層は、異方導電性材料を含むことを特徴とする半導体チップ。

## 【請求項 6】

請求項 1 乃至請求項 5 において、

前記熱伝導性基板は、酸化アルミニウム、窒化アルミニウム、窒化酸化アルミニウム、窒化珪素を主成分とするセラミック材、または炭素を主成分とするグラファイト材からなることを特徴とする半導体チップ。

## 【請求項 7】

請求項 1 乃至請求項 6 において、

前記熱伝導性膜は窒化アルミニウム、窒化酸化アルミニウム、燐化硼素、窒化硼素、ダイヤモンドライクカーボンまたはこれらの膜を組み合わせた積層膜からなることを特徴とする半導体チップ。

## 【請求項 8】

請求項 1 乃至請求項 7 において、

前記素子形成層は、T F T およびこれらを組み合わせて形成される C P U、M P U、メモリー、または発光装置を含むことを特徴とする半導体チップ。

## 【請求項 9】

熱伝導性基板上に膜厚  $50\ \mu\text{m}$  以下の複数の素子形成層を有する半導体チップの作製方法であって、

第 1 の基板上に複数の薄膜トランジスタを含む第 1 の素子形成層を形成し、

第 1 の素子形成層上に可溶性の有機樹脂膜を形成し、

前記可溶性の第 1 の有機樹脂膜と接して第 1 の接着層を形成し、

前記可溶性の第 1 の有機樹脂膜上に前記第 1 の接着層を介して第 2 の基板を接着させ、前記第 1 の素子形成層、および前記可溶性の第 1 の有機樹脂膜を前記第 1 の基板および前記第 2 の基板で挟み、

前記第 1 の基板を前記第 1 の素子形成層から物理的手段により分離除去し、

前記熱伝導性基板と接して第 2 の接着層を形成し、

前記熱伝導性基板上に前記第 2 の接着層を介して前記第 1 の素子形成層の露出面を接着させ、

前記第 1 の接着層および前記第 2 の基板を前記第 1 の素子形成層から分離させ

前記可溶性の第1の有機樹脂膜を溶媒により除去し、  
露出面に熱伝導性の薄膜を形成し、  
第3の基板上に複数の薄膜トランジスタを含む第2の素子形成層を形成し、  
前記第2の素子形成層上に可溶性の第2の有機樹脂膜を形成し、  
前記可溶性の第2の有機樹脂膜と接して第3の接着層を形成し、  
前記可溶性の第2の有機樹脂膜上に前記第3の接着層を介して第4の基板を接着させ、前記第2の素子形成層、および前記可溶性の第2の有機樹脂膜を前記第3の基板および前記第4の基板で挟み、  
前記第3の基板を前記第2の素子形成層から物理的手段により分離除去し、  
前記熱伝導性の薄膜と接して第4の接着層を形成し、  
前記熱伝導性の薄膜上に前記第4の接着層を介して前記第2の素子形成層の露出面を接着させることを特徴とする半導体チップの作製方法。

【請求項10】

請求項9において、  
前記第3の接着層、および前記第4の基板を前記第2の素子形成層から分離させ、  
前記可溶性の第2の有機樹脂膜を溶媒により除去することを特徴とする半導体チップの作製方法。

【請求項11】

請求項9または請求項10において、  
前記熱伝導性の薄膜は、スパッタリング法により形成された窒化アルミニウム、窒化酸化アルミニウム、燐化硼素、窒化硼素、ダイヤモンドライクカーボンまたはこれらの膜を組み合わせた積層膜であることを特徴とする半導体チップの作製方法。

【請求項12】

請求項9乃至請求項11のいずれか一において、  
前記第2の接着層および前記第4の接着層のいずれか一方または両方が異方導電性の接着剤を用いて形成され、  
前記第2の接着層および前記第4の接着層のいずれか一方または両方を介して

接着させる際に超音波照射をしながら接着させることを特徴とする半導体チップの作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に複数の薄膜トランジスタ（以下、TFTという）で構成された半導体装置、表示装置、発光装置を含む素子形成層を複数積層して得られた半導体チップおよびこれらの作製方法に関する。なお、上記半導体装置には、CPU (Central Processing unit)、MPU (Micro Processor unit)、メモリー、マイコン、画像処理プロセッサを含み、表示装置には液晶表示装置、PDP (Plasma Display Panel)、FED (Field Emission Display) を含み、発光装置には、電界発光装置等を含むものとする。

【0002】

【従来の技術】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いてTFTを形成する技術が注目されている。TFTはICや電気光学装置のような電子デバイスに広く応用されている。

【0003】

しかし、TFTを形成する際に用いる基板に対する要求と、TFT形成後に用いる基板に対する要求とが異なるという問題が生じている。

【0004】

例えば、TFTを形成する基板としては、現在、ガラス基板や石英基板が多く使用されているが、耐熱性が高いためにプロセス時の温度が高温の場合にも使えるという反面、割れやすく、重いという欠点がある。

【0005】

これに対して、プラスチックフィルムなどの可撓性基板は、耐熱性が低いために高温プロセスでは用いることができないが、割れにくく軽量化が図れるという利点を有している。しかし、現状では、低温プロセスで形成されたTFTは、ガラス基板や石英基板上に形成する場合に比べ、良好な電気特性を得ることができ



ない。

【0 0 0 6】

そこで、これらの双方の基板を用いた場合に得られるメリットを生かす技術として、ガラスや石英などの基板上に薄膜素子（被転写体）を形成した後、基板から薄膜素子を剥離し、プラスチックフィルム等の転写体に転写させる技術が開示されている（例えば、特許文献 1 参照。）。

【0 0 0 7】

【特許文献 1】

特開平 1 0 - 1 2 5 9 2 9 号公報

【0 0 0 8】

なお、このように薄膜素子を基板から剥離して別の基板上に貼り付ける転写技術を用いることで、薄膜素子のプロセスに関係なく様々な基板上に薄膜素子を形成することができる。

【0 0 0 9】

一方、L S I の分野では、半導体装置の高集積化を図るために、様々な工夫がなされており、例えば、複数のチップを積層させて半導体素子を 3 次元的に実装するという技術が知られている。（例えば、特許文献 2 参照。）。

【0 0 1 0】

【特許文献 2】

特開平 6 - 2 4 4 3 6 0 号公報

【0 0 1 1】

しかし、積層される半導体チップは、その薄膜化において、技術的な限界があるため、高性能化、高機能化および小型化を実現する上でさらなる薄膜化が期待されている。

【0 0 1 2】

【発明が解決しようとする課題】

そこで、本発明では、上述したような転写技術を用いることにより、基板上に薄膜形成された複数の素子形成層（半導体装置（C P U、M P U、メモリー、マイコン、画像処理プロセッサ等）、表示装置（液晶表示装置、P D P、F E D等

）、または発光装置等を含む）が集積化された半導体チップを提供することを目的とする。

#### 【0013】

また、基板上に複数の素子形成層を集積化させる場合に各素子形成層から生じる熱が蓄積され、各素子が劣化してしまうのを防ぐ構造とすることを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

本発明では、転写技術を用いて一旦基板から剥離させた膜厚  $50\text{ }\mu\text{m}$  以下の素子形成層を別の基板上に転写し、さらに別の基板から剥離させた膜厚  $50\text{ }\mu\text{m}$  以下の素子形成層をその上に重ねて転写することを繰り返すことにより、従来の3次元的に実装させる場合に比べて薄膜化を実現しつつ高集積化させた半導体チップを形成することができる。

#### 【0015】

また、本発明において、被転写体となる素子形成層は、膜厚  $50\text{ }\mu\text{m}$  以下であり、素子形成層から生じる熱で素子が劣化しやすいことから、基板は、熱を効果的に放出させることのできる熱伝導性材料を用いることを特徴とする。さらに、既に転写された素子形成層上に別の素子形成層を転写する場合にも、転写表面（既に転写された素子形成層上）に熱伝導性の薄膜を形成することが好ましい。

#### 【0016】

なお、ここでいう熱伝導性基板としては、酸化アルミニウム（アルミナ）、窒化アルミニウム、窒化酸化アルミニウム、窒化珪素などを主成分とするセラミック材の他、炭素を主成分とするグラファイト材等を含み、熱伝導性の薄膜としては、窒化アルミニウム（AlN）、窒化酸化アルミニウム（ $\text{AlN}_x\text{O}_y$ （ $x > y$ ））、燐化硼素（BP）、窒化硼素（BN）、ダイヤモンドライクカーボン（DLC: Diamond Like Carbon）またはこれらの膜を組み合わせた積層膜等の薄膜を含む。

#### 【0017】

また、本発明における積層構造では、縦方向の電氣的接続は、各層の一部に設

けられた端子が接続配線で接続される構造（ワイヤボンディング構造）の他、配線（補助配線）を予め各素子形成層に作り込んでおき、これらを縦方向に重ねて貼り付けた際にこれらの配線が電氣的に接続される構造（フリップチップ構造）とすることを特徴とする。

#### 【0018】

また、本発明に用いる剥離方法または転写方法は、特に限定されることはないが、例えば、基板上に金属層（または窒化金属層）を設け、その上に金属酸化物層を設け、さらに金属酸化物層に接して酸化層を設け、酸化層の上に素子を形成した後、物理的手段により金属酸化物層の層内または他の層との界面において、剥離させるという方法を用いることができる。なお、剥離を助長させるため、前記物理的手段により剥離する前に、加熱処理またはレーザー光の照射を行ったり、酸化層の上に水素を含む膜を形成し、これを加熱することにより金属酸化物を結晶化させたりすることもできる。その他、2層間の膜応力を利用して剥離を行う剥離方法（ストレスピールオフ法）を用いてもよい。

#### 【0019】

さらに、素子形成層と基板との間に分離させるための層を設け、この層を薬液（エッチャント）で除去して素子形成層と基板とを分離する方法や、素子形成層と基板との間に非晶質シリコン（またはポリシリコン）からなる層を設け、基板を通過させてレーザー光を照射して素子形成層と基板とを分離させる方法などを用いることが可能である。

#### 【0020】

本発明における構成は、熱伝導性を有する基板上に、膜厚  $50\text{ }\mu\text{m}$  以下の素子形成層が複数積層されていることを特徴とする半導体チップである。

#### 【0021】

すなわち、熱伝導性基板上に膜厚  $50\text{ }\mu\text{m}$  以下の複数の素子形成層を有する半導体チップであって、熱伝導性基板上に第1の接着層を介して備えられた膜厚  $50\text{ }\mu\text{m}$  以下の第1の素子形成層と、前記第1の素子形成層に接して形成された熱伝導性膜と、前記熱伝導性膜上に第2の接着層を介して備えられた膜厚  $50\text{ }\mu\text{m}$  以下の第2の素子形成層とを有することを特徴とする半導体チップである。

## 【0022】

なお、上記構成における素子形成層（第1の素子形成層および第2の素子形成層）は、その膜厚を0.1～10 $\mu$ mとすることがさらに好ましい。

## 【0023】

上記構成において、前記第1の素子形成層に含まれる半導体素子、および前記第2の素子形成層に含まれる半導体素子は、第1の素子形成層に含まれる配線、および第2の素子形成層に含まれる配線とが接続配線を介して電氣的に接続されることを特徴とする。

## 【0024】

さらに別の構成において、前記第1の素子形成層に含まれる半導体素子、および前記第2の素子形成層に含まれる半導体素子は、第1の素子形成層に含まれる配線、および第2の素子形成層に含まれる配線とそれぞれ電氣的に接続された補助配線が、異方導電性材料を含む前記第1の接着層および前記第2の接着層を介して電氣的に接続されることを特徴とする。

## 【0025】

なお、ここでいう異方導電性材料としては、Ag、Au、Al等の金属粒子を絶縁性被膜で覆ったものを用いることができる。また、異方導電性材料を含む第2の接着層により第1の素子形成層と第2の素子形成層とを接着する場合には、超音波照射しながら接着させると接着部分をより密着させることができるので好ましい。

## 【0026】

なお、本発明において、積層される素子形成層は一層に限られることはなく、前記第2の素子形成層上に同様にして、熱伝導性の薄膜および素子形成層を順次積層することにより素子形成層の数を増やすことができる。

## 【0027】

また、素子形成層は、TFTおよびこれらを組み合わせて形成される半導体装置（CPU、MPU、メモリー、マイコン、画像処理プロセッサ等）、表示装置（液晶表示装置、PDP、FED等）、または発光装置を含む層であることを特徴とする。

## 【0028】

以上のように、熱伝導性基板上に膜厚が $50\mu\text{m}$ 以下の素子形成層を順次積層することにより、面積を大きくすることなく集積化された半導体チップを得るための本発明の構成は、熱伝導性基板上に膜厚 $50\mu\text{m}$ 以下の複数の素子形成層を有する半導体チップの作製方法であって、

第1の基板上に複数の薄膜トランジスタを含む第1の素子形成層を形成し、

第1の素子形成層上に可溶性の有機樹脂膜を形成し、

前記可溶性の第1の有機樹脂膜と接して第1の接着層を形成し、

前記可溶性の第1の有機樹脂膜上に前記第1の接着層を介して第2の基板を接着させ、前記第1の素子形成層、および前記可溶性の第1の有機樹脂膜を前記第1の基板および前記第2の基板で挟み、

前記第1の基板を前記第1の素子形成層から物理的手段により分離除去し、

前記熱伝導性基板と接して第2の接着層を形成し、

前記熱伝導性基板上に前記第2の接着層を介して前記第1の素子形成層の露出面を接着させ、

前記第1の接着層および前記第2の基板を前記第1の素子形成層から分離させ

、前記可溶性の第1の有機樹脂膜を溶媒により除去し、

露出面に熱伝導性の薄膜を形成し、

第3の基板上に複数の薄膜トランジスタを含む第2の素子形成層を形成し、

前記第2の素子形成層上に可溶性の第2の有機樹脂膜を形成し、

前記可溶性の第2の有機樹脂膜と接して第3の接着層を形成し、

前記可溶性の第2の有機樹脂膜上に前記第3の接着層を介して第4の基板を接着させ、前記第2の素子形成層、および前記可溶性の第2の有機樹脂膜を前記第3の基板および前記第4の基板で挟み、

前記第3の基板を前記第2の素子形成層から物理的手段により分離除去し、

前記熱伝導性の薄膜と接して第4の接着層を形成し、前記熱伝導性の薄膜上に前記第4の接着層を介して前記第2の素子形成層の露出面を接着させることを特徴とする半導体チップの作製方法である。

## 【0029】

さらに、上記構成において、前記熱伝導性の薄膜は、スパッタリング法により形成された窒化アルミニウム、窒化酸化アルミニウム、燐化硼素、窒化硼素、ダイヤモンドライクカーボンまたはこれらの膜を組み合わせた積層膜であることを特徴とする。

## 【0030】

さらに上記構成において、前記第2の接着層および前記第4の接着層のいずれか一方または両方が異方導電性の接着剤を用いて形成され、前記第2の接着層および前記第4の接着層のいずれか一方または両方を介して接着させる際に超音波照射をしながら接着させることを特徴とする。

## 【0031】

なお、上記各構成において、前記第1の基板または、前記第3の基板を物理的手段により分離除去するために、前記第1の基板、および前記第3の基板上に金属層、金属酸化物層、および酸化物層を順次形成し、前記金属酸化物層に結晶構造を有する金属酸化物を存在させることにより物理的手段を加えた場合に金属酸化物層において分離させやすくするといった構成を含めることとする。なお、酸化物層上に水素を含む膜（窒化珪素膜、窒化酸化珪素膜、非晶質半導体膜等）を形成し、水素を拡散させる加熱処理を行うことで結晶構造を有する金属酸化物層を形成する構成も含めることとする。

## 【0032】

さらに、前記第1の基板または、前記第3の基板を物理的手段により分離させ易くするために前記第1の基板または、前記第3の基板に補強基板をそれぞれ接着層を介して接着させ、前記第1の基板または、前記第3の基板を分離させる際に一緒に分離させることもできる。

## 【0033】

以上のように、本発明では、転写技術を用いて厚さ50  $\mu\text{m}$ 以下の素子形成層を熱伝導性基板上に複数積層することにより、従来の3次元的に実装させる場合に比べて薄膜化を実現しつつ集積度を高めることができる。また、積層される素子形成層間に熱伝導性膜を挟むことにより、薄膜化された素子形成層が複数積層

された場合に問題となる熱の蓄積を防ぐことができ、熱による素子の劣化を防ぐことができる。

#### 【0034】

##### 【発明の実施の形態】

本発明の実施の形態について以下に詳細に説明する。

#### 【0035】

##### (実施の形態1)

本発明により形成される半導体チップの構造について、図1を用いて説明する。すなわち、図1(A)に示すように本発明の半導体チップは、熱伝導性基板101上に第1の素子形成層102、第2の素子形成層103が積層され、接着層104によりそれぞれ接着され、各素子形成層(102、103)と熱伝導性基板101上の配線(図示せず)とが接続配線106により電氣的に接続されたワイヤボンディング構造を有する。

#### 【0036】

なお、ここで積層される素子形成層(第1の素子形成層102、第2の素子形成層103)は、膜厚が $50\mu\text{m}$ 以下であることを特徴とし、予め別の基板上に形成した後、剥離技術を用いて剥離して得られたものを用いる。

#### 【0037】

また、本発明において素子形成層が $50\mu\text{m}$ 以下の薄膜であり、発生した熱により素子が影響を受けやすいので、第1の素子形成層102を貼り付ける基板には熱伝導性を有する基板(熱伝導性基板101)を用いることとする。また、第1の素子形成層102の上に接着層104を介して第2の素子形成層103を積層する場合には、第1の素子形成層102に接して、熱伝導性膜105を形成する。その他、ここでは、図示しないが熱伝導性基板101の表面凹凸により、薄膜である第1の素子形成層102もしくは、第2の素子形成層103に含まれる素子破壊、接続破壊等が生じないように熱伝導性基板101の表面に平坦化膜を形成しても良い。

#### 【0038】

なお、熱伝導性基板101としては、酸化アルミニウム(アルミナ)、窒化ア

ルミニウム ( $AlN$ )、窒化酸化アルミニウム ( $AlN_xO_y$  ( $X>Y$ ))、窒化珪素などを主成分とするセラミック基板の他、炭素を主成分とするグラファイト基板等を用いることができ、熱伝導性膜 105 としては、窒化アルミニウム ( $AlN$ )、窒化酸化アルミニウム ( $AlN_xO_y$  ( $X>Y$ ))、燐化硼素 ( $BP$ )、窒化硼素 ( $BN$ )、ダイヤモンドライクカーボン ( $DLC$ :Diamond Like Carbon) またはこれらの膜を組み合わせた積層膜を用いることができる。

#### 【0039】

また、熱伝導性膜 105 の形成方法としては、スパッタリング法、蒸着法、CVD 法等を用いることができる。

#### 【0040】

例えば、熱伝導性膜 105 を  $AlN$  で形成する場合には、窒化アルミニウム ( $AlN$ ) ターゲットを用い、アルゴンガスと窒素ガスが混合した雰囲気下にて成膜する。なお、アルミニウム ( $Al$ ) ターゲットを用い、窒素ガス雰囲気下にて成膜することもできる。

#### 【0041】

また、貼り付けられた第 1 の素子形成層 102、および第 2 の素子形成層 103 は、それぞれ接続配線 106 により熱伝導性基板上の配線 (図示せず) とそれぞれ電氣的に接続されている。なお、接続配線には、 $Au$ 、 $Cu$ 、 $Al$ 、 $Al-Si$ 、または  $Au$  合金からなる配線を用いることができる。

#### 【0042】

そして、第 1 の素子形成層 102 および第 2 の素子形成層 103 は、熱伝導性基板 101 の配線と電氣的に接続されたはんだボール 107 を介してプリント配線基盤 (図示せず) に接着させることにより、外部との電氣的な接続が可能となる。

#### 【0043】

ここで、図 1 (B) を用いて、図 1 (A) に示した素子形成層 (第 1 の素子形成層 102、第 2 の素子形成層 103) の構造、および接続配線 106 による素子形成層および熱伝導性基板 101 との電氣的接続について説明する。

#### 【0044】



第1の素子形成層102には、複数の半導体素子として薄膜トランジスタ（以下、TFTと示す）が形成されており、これらを組み合わせた素子を含む半導体装置（CPU、MPU、メモリー、マイコン、画像処理プロセッサ等）、表示装置（液晶表示装置、PDP、FED等）、または発光装置等が形成されている。

#### 【0045】

第1の素子形成層102は、基板上に形成された金属層、金属酸化物層および酸化物層上に複数のTFTや配線（補助配線）を形成した後、基板および金属層から酸化物層およびその上に形成されたTFT等を金属酸化物層の部分において物理的に剥離して得られるものであることから、金属酸化物層を一部に含む酸化物層108aを有している。また、金属酸化物層を一部に含む酸化物層108aは、接着層104aを介して熱伝導性基板101と接着されている。

#### 【0046】

なお、接着層104aに用いる材料としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

#### 【0047】

また、第1の素子形成層102上に積層される第2の素子形成層103は、熱伝導性膜105を介して形成される。

#### 【0048】

第2の素子形成層103も同様に、基板上に形成された金属層、金属酸化物層および酸化物層上に複数のTFTや配線（補助配線）を形成した後、基板および金属層から金属酸化物層の部分において酸化物層およびその上に形成されたTFT等を物理的に剥離して得られるものであることから、金属酸化物層を一部に含む酸化物層108bを有している。また、金属酸化物層を一部に含む酸化物層108bは、接着層104bを介して熱伝導性膜105と接着されている。

#### 【0049】

なお、接着層104bに用いる材料としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤を用いることができる。

**【0050】**

また、第1の素子形成層102および第2の素子形成層103には、いずれもそれぞれの有するTFTと電氣的に接続された配線(110a、110b)が形成されており、電極パット111を介して外部との電氣的な接続が可能となる。

**【0051】**

本実施の形態1において、第1の素子形成層102および第2の素子形成層103に形成された複数のTFTで構成された素子を含む半導体装置、表示装置、または発光装置等と、熱伝導性基板上に形成された配線とは、接続配線106により、電氣的に接続される。

**【0052】**

また、本実施の形態1では、素子形成層を2層積層した場合について説明したが、本発明はこれに限られることはなく、3層以上の積層構造とすることも可能である。

**【0053】**

以上により、熱伝導性基板上に複数の素子形成層が積層された構造を有する半導体チップを形成することができる。

**【0054】**

さらに、図1(B)の接続構造を形成した後、図1(C)に示すように熱伝導性基板上に積層された素子形成層(102、103)および接続配線106を覆って樹脂112を形成することにより、封止することもできる。なお、樹脂材料としては熱硬化性や熱可塑性の樹脂を用いることができる。具体的には、エポキシ樹脂、シリコーン樹脂、PPS樹脂(Poly Phenylene Sulfide resin)等のモールド樹脂を用いることができる。また、本発明における封止構造は、樹脂封止に限られることはなく、ガラス、石英、プラスチック、又は、金属材料からなる基板封止を用いることもできる。

**【0055】**

(実施の形態2)

本実施の形態2では、実施の形態1とは構造の異なる半導体チップの構造について、図2を用いて説明する。すなわち、図1では、積層された素子形成層が、

接続配線 1 0 6 により熱伝導性基板と電氣的に接続される構造を示したが、本実施の形態 2 では、このような接続配線 1 0 6 を用いることなく積層された素子形成層が熱伝導性基板と電氣的に接続されたフリップチップ構造の場合について説明する。

#### 【0 0 5 6】

図 2 (A) において、熱伝導性基板 2 0 1 上に膜厚が  $50\text{ }\mu\text{m}$  以下の第 1 の素子形成層 2 0 2、第 2 の素子形成層 2 0 3 が積層され、異方導電性接着層 2 0 4 によりそれぞれ接着されている。ここでは、第 1 の素子形成層 2 0 2 および第 2 の素子形成層 2 0 3 は、その表面に各素子形成層に形成された T F T 等と電氣的に接続された配線が露出しており、これらが異方導電性を有する接着材料で形成された異方導電性接着層 2 0 4 を介して電氣的に接続され、熱伝導性基板上の配線（図示せず）ともそれぞれ電氣的に接続されている。

#### 【0 0 5 7】

そして、第 1 の素子形成層 2 0 2 および第 2 の素子形成層 2 0 3 は、熱伝導性基板 2 0 1 の配線と電氣的に接続されたはんだボール 2 0 6 を介してプリント配線基盤（図示せず）に接着させることにより、外部との電氣的な接続が可能となる。

#### 【0 0 5 8】

ここで、図 2 (B) を用いて、図 2 (A) に示した素子形成層（第 1 の素子形成層 2 0 2、第 2 の素子形成層 2 0 3）の構造、および補助配線 a ~ c（2 1 0 a ~ 2 1 0 c）による素子形成層および熱伝導性基板 2 0 1 との電氣的接続について説明する。

#### 【0 0 5 9】

第 1 の素子形成層 2 0 2 には、複数の半導体素子として薄膜トランジスタ（以下、T F T と示す）が形成されており、これらの組み合わせにより半導体装置（C P U、M P U、メモリー、マイコン、画像処理プロセッサ等）、表示装置（液晶表示装置、P D P、F E D 等）、または発光装置等が形成されている。

#### 【0 0 6 0】

第 1 の素子形成層 2 0 2 は、基板上に形成された金属層、金属酸化物層および

酸化物層上に複数のTF T 207や配線209を形成した後、基板および金属層から酸化物層およびその上に形成されたTF T等を金属酸化物層の部分において物理的に剥離し、剥離面側から配線209に達する補助配線a (210a)を形成して得られるものであることから、剥離面には、金属酸化物層を一部に含む酸化物層208aと、補助配線a (210a)の一部が露出している。そして、異方導電性接着層204aを介して酸化物層208aおよび補助配線a (210a)が、熱伝導性基板201と接着されている。これにより、第1の素子形成層202に形成された補助配線a (210a)と、熱伝導性基板201上の配線(図示せず)とが、異方導電性接着層204aを介して電氣的に接続される。

#### 【0061】

なお、異方導電性接着層204aに用いる材料としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤に異方導電性材料を分散させた異方導電性接着剤を用いることができる。また、異方導電性材料としては、Ag、Au、Al等の金属粒子を絶縁性被膜で覆ったものを用いることができる。また、異方導電性接着剤により第1の素子形成層を接着する場合には、超音波照射しながら接着させることにより、より接着部分を密着させることができるので好ましい。

#### 【0062】

また、第1の素子形成層202上に積層される第2の素子形成層203は、熱伝導性膜205を介して形成される。

#### 【0063】

第2の素子形成層203も同様に、基板上に形成された金属層、金属酸化物層および酸化物層上に複数のTF Tや配線を形成した後、基板および金属層から酸化物層およびその上に形成された素子等を物理的に剥離し、剥離面側から配線に達する補助配線b (210b)を形成して得られるものであることから、剥離面には、金属酸化物層を一部に含む酸化物層208bと、補助配線b (210b)の一部が露出している。そして、異方導電性接着層204bを介して酸化物層208bおよび補助配線b (210b)が、第1の素子形成層202と接着されている。これにより、第2の素子形成層203に形成された補助配線b (210b)

）と、第1の素子形成層203に形成された配線209bとが、異方導電性接着層204bを介して電氣的に接続され、さらには、熱伝導性基板201上の配線（図示せず）と電氣的に接続される。

#### 【0064】

なお、異方導電性接着層204bに用いる材料としては、先に示したように反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤に異方導電性材料を分散させたものを用いることができる。また、異方導電性材料としては、Ag、Au、Al等の金属粒子を絶縁性被膜で覆ったものを用いることができる。また、異方導電性接着剤により第2の素子形成層を接着する際において、超音波照射しながら接着させることにより、より接着部分を密着させることができるので好ましい。

#### 【0065】

なお、図2（B）における213部分の拡大図を図2（C）に示す。すなわち、第2の素子形成層203に形成された補助配線b（210b）と、第1の素子形成層203に形成された配線209bは、異方導電性粒子215と接着剤214とからなる異方導電性接着層204bにおいて、異方導電性粒子215を間に介することにより電氣的な接続を得ることができる。なお、ここでは、異方導電性粒子215の構造は、金属粒子が絶縁性被膜により覆われている構造である。

#### 【0066】

すなわち、本実施の形態2において、第1の素子形成層202および第2の素子形成層203に形成された複数のTF Tで構成された素子を含む半導体装置、表示装置、または発光装置等と、熱伝導性基板上に形成された配線とは、補助配線a～c（210a～210c）および異方導電性接着層（204a、204b）により、電氣的に接続される。

#### 【0067】

また、本実施の形態2では、素子形成層を2層積層した場合について説明したが、本発明はこれに限られることはなく、3層以上の積層構造とすることも可能である。

#### 【0068】

以上により、熱伝導性基板上に複数の素子形成層が積層された構造を有する半導体チップを形成することができる。

#### 【0069】

なお、本発明の実施の形態1および2においては、TF Tの型式としてはトップゲート型TF Tを例に挙げて説明しているが、その他に、図16 (A) に示すような活性層の下側にゲート電極を形成したボトムゲート型TF T、あるいは図16 (B) に示すような、活性層を挟み込むように、上下にゲート電極を有するデュアルゲート型TF Tを用いることも可能である。

#### 【0070】

##### 【実施例】

以下に、本発明の実施例について説明する。

#### 【0071】

##### (実施例1)

本実施例では、発明の実施の形態1で説明した構造を有する本発明の半導体チップの作製方法について、図3～5を用いて詳細に説明する。

#### 【0072】

図3 (A) には、第1の基板300上に金属層301、金属酸化物層302、および酸化物層303が順次積層され、その上に素子形成層204が形成された状態を示す。

#### 【0073】

第1の基板300としては、ガラス基板、石英基板、プラスチック基板、セラミック基板、シリコン基板、金属基板またはステンレス基板を用いることができるが、本実施例では、ガラス基板であるAN100を用いることとする。

#### 【0074】

そして、第1の基板300上に形成される金属層301に用いる材料としては、W、Ti、Ta、Mo、Nd、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os、Ir、Ptから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層、またはこれらの積層、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンから

なる単層、またはこれらの積層を用いればよい。なお、金属層 302 の膜厚は 10 nm ~ 200 nm、好ましくは 50 nm ~ 75 nm とすればよい。

#### 【0075】

ここで、スパッタリング法により金属層 301 を形成する場合には、第 1 の基板 301 を固定するため、第 1 の基板 301 の周縁部付近における膜厚が不均一になりやすい。そのため、ドライエッチングによって周縁部のみを除去することが好ましいが、その際、第 1 の基板 300 もエッチングされないように、基板 300 と金属層 301 との間に酸化窒化シリコン膜からなる絶縁膜を 100 nm 程度形成することもできる。

#### 【0076】

金属層 301 上には、金属酸化物層 302 および酸化物層 303 が形成されるが、本実施例では、まず酸化物層 303 を形成した後、金属層 301 の一部が後の工程において酸化され、金属酸化物層 302 となる場合について説明する。

#### 【0077】

すなわち、ここでは金属層 301 としてタンゲステンからなる層（膜厚 10 nm ~ 200 nm、好ましくは 50 nm ~ 75 nm）を形成し、さらに大気にふれることなく、酸化物層 303、ここでは酸化シリコン層（膜厚 150 nm ~ 200 nm）を積層形成する。酸化物層 303 の膜厚は、金属層 301 の膜厚の 2 倍以上とすることが望ましい。例えば、酸化シリコンターゲットを用いたスパッタリング法により、酸化シリコン膜を 150 nm ~ 200 nm の膜厚とするのが好ましい。

#### 【0078】

また、酸化物層 303 上に形成される素子形成層 304 は、TFT（p チャネル型 TFT、または n チャネル型 TFT）を適宜組み合わせて形成された素子を含む半導体装置、表示装置、または発光装置が形成される層のことをいう。ここで示す TFT は、下地膜 305 上の半導体膜の一部に形成された不純物領域 305 およびチャネル形成領域 306、ゲート絶縁膜 307、およびゲート電極 308 により構成され、配線 309 により電氣的に接続されている。さらに、後で外部との接続を可能にする電極パッド 310 も形成されている。

## 【0079】

また、この素子形成層 304 を形成する際に、少なくとも水素を含む材料膜（半導体膜または金属膜）を形成した後に水素を含む材料膜中に含まれる水素を拡散するための熱処理を行う。この熱処理は 420℃以上であればよく、素子形成層 304 の形成プロセスとは別途行ってもよいし、兼用させて工程を省略してもよい。例えば、水素を含む材料膜として水素を含むアモルファスシリコン膜を CVD 法により成膜した後、結晶化させるため 500℃以上の熱処理を行えば、加熱によりポリシリコン膜が形成できると同時に水素の拡散を行うことができる。

## 【0080】

なお、この熱処理を行うことにより、金属層 301 と酸化物層 303 との間に結晶構造を有する金属酸化物層 302 が形成される。なお、金属層 301 と酸化物層 303 とを積層形成する際に、金属膜 301a と酸化シリコン膜 302 との間に 2nm～5nm 程度形成されていたアモルファス状態の金属酸化物層（酸化タンゲステン膜）もこの熱処理により結晶構造を形成するため金属酸化物層 302 に含まれる。

## 【0081】

本実施例では、素子形成層の一部を作製する工程において、金属酸化物層 302 が形成される場合について説明したが、本発明はこの方法に限られることなく、金属層 301 を形成した後、金属酸化物層 302 を形成し、酸化物層 303 を形成する方法でも良い。

## 【0082】

次に、素子形成層 304 上に有機樹脂層 311 を形成する。有機樹脂層 311 に用いる材料としては、水またはアルコール類に可溶な有機材料を用い、これを全面に塗布、硬化することにより形成する。この有機材料の組成としては、例えば、エポキシ系、アクリレート系、シリコン系等のいかなるものでもよい。具体的には、スピンコート法により水溶性樹脂（東亜合成製：VL-WSHL10）（膜厚 30μm）を塗布し、仮硬化させるために 2 分間の露光を行ったあと、UV 光を裏面から 2.5 分、表面から 10 分、合計 12.5 分の露光を行って本硬化させることにより有機樹脂層 311 が形成される。



**【0083】**

なお、後の剥離を行いやすくするために、金属酸化物層 302 における密着性を部分的に低下させる処理を行う。密着性を部分的に低下させる処理は、剥離しようとする領域の周縁に沿って金属層 302 または酸化物層 303 にレーザー光を部分的に照射する処理、或いは、剥離しようとする領域の周縁に沿って外部から局所的に圧力を加えて酸化物層 303 の層内または界面の一部分に損傷を与える処理である。具体的にはダイヤモンドペンなどで硬い針を垂直に押しつけて荷重をかけて動かせばよい。好ましくは、スクライバー装置を用い、押し込み量を 0.1 mm～2 mm とし、圧力をかけて動かせばよい。このように、剥離を行う前に剥離現象が生じやすくなるような部分、即ち、きっかけをつくることが重要であり、密着性を選択的（部分的）に低下させる前処理を行うことで、剥離不良がなくなり、さらに歩留まりも向上する。

**【0084】**

次に、第 1 の接着層 312 を形成することにより、有機樹脂層 311 上に第 1 の接着層 312 を介して第 2 の基板 313 を貼り付けることができる。なお、第 1 の接着層 311 を形成する材料としては、後の工程において、所定の処理を行うことにより接着性を弱めることのできる公知の材料を用いることができるが、本実施の形態では、後の工程において、光照射により接着力が低下する感光性の両面テープを用いる場合について説明する。

**【0085】**

さらに、第 1 の基板 301 の露出面にも同様に第 2 の接着層 314 を形成し、第 2 の接着層 314 を介して第 3 の基板 315 を貼り付ける。なお、第 2 の接着層 314 を形成する材料は、第 1 の接着層 312 と同様に両面テープを用いることとする。ここで貼り付けた第 3 の基板 315 は、後の剥離工程で第 1 の基板 301 が破損することを防ぐ。第 2 の基板 313 および第 3 の基板 315 としては、第 1 の基板 301 よりも剛性の高い基板、例えば石英基板、半導体基板を用いることが好ましい。

**【0086】**

次に、上記密着性を部分的に低下させた領域側から剥離させ、金属層 301 が

設けられている第1の基板301を物理的手段により引き剥がす。本実施例の場合には、金属層301および基板300を金属酸化物層302の部分において、比較的小さな力（例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等）で引き剥がすことができる。具体的には、酸化タングステン膜中、または酸化タングステン膜と酸化シリコン膜との界面、または酸化タングステン膜とタングステン膜との界面で分離させ、引き剥がすことができる。こうして、酸化物層303上に形成された素子形成層304を第1の基板301から分離することができる。剥離時の状態を図3（C）に示す。

#### 【0087】

また、剥離により露出した表面には、金属酸化物層302の一部が残っており、これは、後の工程において、露出面を基板等に接着する際に密着性を低下させる原因となることから、露出面に残っている金属酸化物層302の一部を除去する処理を行うことが好ましい。なお、これらを除去するためには、アンモニア水溶液などのアルカリ性の水溶液や酸性水溶液などを用いることができる。その他、金属酸化物層302の一部が剥離しやすくなる温度（430℃）以下で、以降の工程を行っても良い。

#### 【0088】

なお、剥離および金属酸化物層302の一部を除去することにより得られた状態が図4（A）に示す401である。後の工程で、熱伝導性基板に貼り付けられた素子形成層に重ねて別の素子形成層を形成する場合には、この状態（401）で積層することになる。

#### 【0089】

次に、第3の接着層316を形成し、第3の接着層316を介して第4の基板（熱伝導性基板）317と酸化物層303（及び素子形成層304）とを接着する（図4（A））。なお、第1の接着層312により接着された第2の基板313と有機樹脂層311との密着性よりも、第3の接着層316により接着された酸化物層303（及び素子形成層304）と第4の基板317との密着性の方が高いことが重要である。

#### 【0090】

第4の基板（熱伝導性基板）317としては、ガラス基板、石英基板、セラミック基板、プラスチック基板、シリコン基板、金属基板、またはステンレス基板等を用いることができるが、高い熱伝導率を有する基板を用いることが好ましい。中でも、酸化アルミニウム（アルミナ）、窒化アルミニウム、窒化酸化アルミニウム、窒化珪素などを主成分とするセラミック基板が特に好ましい。なお、第4の基板317には、後に積層された素子形成層との電気的な接続を得るための配線を形成しておく必要がある。なお、配線形成の方法としては、LSIの分野において、チップを貼り付ける基板（ダイともいう）に配線を形成する場合に用いる公知の方法を用いることができるので説明は省略する。

#### 【0091】

さらに、本発明における素子形成層は、 $50\mu\text{m}$ 以下の薄膜であることから、第4の基板317表面における凹凸により、第1の素子形成層102もしくは、第2の素子形成層103に含まれる素子破壊、接続破壊等が生じないように第4の基板317の表面に平坦化膜を形成しても良い。

#### 【0092】

また、第3の接着層316に用いる材料としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤が挙げられる。さらに好ましくは、銀、ニッケル、アルミニウム、窒化アルミニウムからなる粉末、またはフィラーを含ませることにより、高い熱伝導性を持たせることがより好ましい。

#### 【0093】

次に、第2の基板313側から紫外線を照射することにより、第1の接着層312に用いている両面テープの接着力を低下させ、素子形成層304から第2の基板313を分離させる（図4（B））。さらに、ここで露出した表面を水洗することにより、第1の接着層312および有機樹脂層311を溶かして除去することができる。

#### 【0094】

次に、表面に露出した絶縁膜上に熱伝導性膜318を形成する。熱伝導性膜318としては、窒化アルミニウム、窒化酸化アルミニウム、ダイヤモンドライク

カーボン（DLC）等の膜を用いることができ、スパッタリング法、反応性スパッタリング法、イオンビームスパッタリング法、ECR（電子サイクロトロン共鳴）スパッタリング法、イオン化蒸着法等の気相成膜法を用いて形成することができる。

#### 【0095】

なお、熱伝導性膜 318 を形成することにより得られる状態を図 4（C）に示す。

#### 【0096】

次に、図 4（C）の熱伝導性膜 318 上に第 4 の接着層 319 を形成する。ここで、第 4 の接着層 319 を介して図 4（A）までの工程を経て得られた 401 の状態を有する別の素子形成層が接着される（図 5（A））。なお、ここでは、401 の状態を有する別の素子形成層を第 2 の素子形成層 501 と呼び、第 4 の基板 317 上に形成されている素子形成層を第 1 の素子形成層 502 と呼ぶことにする。

#### 【0097】

また、第 2 の素子形成層 501 上には、有機樹脂層 320、第 5 の接着層 321、および第 5 の基板 322 が形成されている。なお、本実施例の場合には、素子形成層の電極パッドが積層により重ならないようにするため、上部の素子形成層（図 5（A）に示す 401）は、小さくする必要がある。

#### 【0098】

次に、第 5 の基板 322 側から紫外線を照射することにより、第 5 の接着層 321 に用いている両面テープの接着力を低下させ、第 2 の素子形成層 501 から第 5 の基板 322 を分離させる（図 5（B））。さらに、ここで露出した表面を水洗することにより、第 5 の接着層 321 および有機樹脂層 320 を溶かして除去することができる。

#### 【0099】

以上により、図 5（C）に示すように第 1 の素子形成層 502 と第 2 の素子形成層 501 とが積層された構造を形成することができる。なお、図（C）に示す構造において、各素子形成層の電極パッド（310、323）と熱伝導性を有す

る第4の基板317に予め設けられた配線（図示せず）とを接続配線により接続することにより、図1に示し構造を形成することができる。なお、接続配線としては、Au、Cu、Al、Al-Si、またはAu合金からなる配線を用いることができる。

#### 【0100】

##### （実施例2）

本実施例では、発明の実施の形態2で説明した構造を有する本発明の半導体チップの作製方法について、図6～8を用いて詳細に説明する。

#### 【0101】

図6（A）には、実施例1で説明したのと同様の方法であって、第1の基板600上に金属層601、金属酸化物層602、酸化物層603、複数のTFTや配線を含む素子形成層604、有機樹脂層611、第1の接着層612および第2の基板313を有し、さらに第1の基板600と接して形成された第2の接着層614を介して貼り付けられた第3の基板615を有する構造を形成した後、金属層601と酸化物層603との間の金属酸化物層602で物理的に剥離させる様子を示す。なお、ここまでは、実施例1に示した方法と同様の方法を用い、同様の材料を用いることができるので説明は省略するものとする。また、剥離により露出した表面には、金属酸化物層602の一部が残っており、これは、後の工程において、露出面を基板等に接着する際に密着性を低下させる原因となることから、露出面に残っている金属酸化物層602の一部を除去する処理を行うことが好ましい。なお、これらを除去するためには、アンモニア水溶液などのアルカリ性の水溶液や酸性水溶液などを用いることができる。その他、金属酸化物層602の一部が剥離しやすくなる温度（430℃）以下で、以降の工程を行っても良い。

#### 【0102】

剥離および金属酸化物層602の一部を除去した後、フォトリソグラフィーによるマスクを用いたパターンニング方法により、表面に露出した酸化物層603側から配線605に達する開口部616を形成する。

#### 【0103】

そして、形成された開口部 616 に補助配線を形成し、図 6 (C) に示す構造を得る。なお、ここで用いる配線材料としては、Ag、Au、Ta、W、Ti、Mo、Al、Cu から選ばれた元素、または前記元素を主成分とする合金もしくは化合物で形成する。なお、補助配線 617 を形成して得られた状態が図 6 (C) に示す 701 である。後の工程で、熱伝導性基板に貼り付けられた素子形成層に重ねて別の素子形成層を形成する場合には、この状態 (701) で積層することになる。

#### 【0104】

次に、第 3 の接着層 (異方導電性接着層) 618 を形成し、第 3 の接着層 618 を介して第 4 の基板 (熱伝導性基板) 619 と酸化物層 603 (及び素子形成層 604) とを接着する (図 7 (A))。なお、第 1 の接着層 612 により接着された第 2 の基板 613 と有機樹脂層 611 との密着性よりも、第 3 の接着層 618 により接着された酸化物層 603 (及び素子形成層 604) と第 4 の基板 619 との密着性の方が高いことが重要である。

#### 【0105】

第 4 の基板 (熱伝導性基板) 619 としては、ガラス基板、石英基板、セラミック基板、プラスチック基板、シリコン基板、金属基板、またはステンレス基板等を用いることができるが、高い熱伝導率を有する基板を用いることが好ましい。中でも、酸化アルミニウム (アルミナ)、窒化アルミニウム、窒化酸化アルミニウム、窒化珪素などを主成分とするセラミック基板が特に好ましい。なお、第 4 の基板 619 には、後に積層された素子形成層との電気的な接続を得るための配線を形成しておく必要がある。なお、配線形成の方法としては、LSI の分野において、チップを貼り付ける基板 (ダイともいう) に配線を形成する場合に用いる公知の方法を用いることができるので説明は省略する。

#### 【0106】

また、第 3 の接着層 (異方導電性接着層) 818 に用いる材料としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤に異方導電性材料を分散させたものを用いることができる。また、異方導電性材料としては、Ag、Au、Al 等の金属粒子を

絶縁性被膜で覆ったものを用いることができる。

#### 【0107】

次に、第2の基板613側から紫外線を照射することにより、第1の接着層612に用いている両面テープの接着力を低下させ、素子形成層604から第2の基板613を分離させる（図7（B））。さらに、ここで露出した表面を水洗することにより、第1の接着層612および有機樹脂層611を溶かして除去することができる。

#### 【0108】

次に、表面に露出した絶縁膜上に熱伝導性膜620を形成する。熱伝導性膜620としては、窒化アルミニウム、窒化酸化アルミニウム、ダイヤモンドライクカーボン（DLC）等の膜を用いることができ、スパッタリング法、反応性スパッタリング法、イオンビームスパッタリング法、ECR（電子サイクロトロン共鳴）スパッタリング法、イオン化蒸着法等の気相成膜法を用いて形成することができる。

#### 【0109】

なお、熱伝導性膜620を形成することにより得られる状態を図7（C）に示す。

#### 【0110】

次に、図7（C）の熱伝導性膜620上に第4の接着層621を形成する。ここで、第4の接着層621を介して図6（C）までの工程を経て得られた701の状態を有する別の素子形成層が接着される（図8（A））。なお、ここでは、701の状態を有する別の素子形成層を第2の素子形成層801と呼び、第4の基板619上に形成されている素子形成層を第1の素子形成層802と呼ぶことにする。

#### 【0111】

また、第2の素子形成層801上には、有機樹脂層622、第5の接着層623、および第5の基板624が形成されている。なお、本実施例の場合には、実施例1で示したように素子形成層の電極パッドにより電氣的に接続されるのではなく、各素子形成層が積層された際に、第1の素子形成層802の配線605と

、第2の素子形成層801の補助配線625とが第4の接着層（異方導電性接着層）621を介して電氣的に接続されるため、各素子形成層の大きさ（面積）は同じであっても異なっても問題ない。

#### 【0112】

次に、第5の基板624側から紫外線を照射することにより、第5の接着層623に用いている両面テープの接着力を低下させ、第2の素子形成層801から第5の基板624を分離させる（図8（B））。さらに、ここで露出した表面を水洗することにより、第5の接着層623および有機樹脂層622を溶かして除去することができる。

#### 【0113】

以上により、図8（C）に示すように第1の素子形成層802と第2の素子形成層801とが積層された構造を形成することができる。なお、本実施例では、図8（A）の工程を経て、有機樹脂層622、第5の接着層623および第5の基板624が除去することにより図8（C）に示す半導体チップが形成される場合について説明したが、本発明は、これに限られることはなく、図8（A）において接着して得られる構造を半導体チップとして用いることもできる。

#### 【0114】

（実施例3）

本実施例では、第1の素子形成層が熱伝導性基板上に接着された後、順次複数の素子形成層が積層されるという実施例1や実施例2で示した半導体チップとは構造の異なるものであって、複数の素子形成層が積層された後、最後に積層された素子形成層が、熱伝導性基板上に接着されることにより得られる半導体チップの構造について図17、18を用いて説明する。

#### 【0115】

図17（A）に示すように第1の基板1800上に第1の素子形成層1902が形成されており、さらに、第1の基板1800には、第2の接着層1814を介して第2の基板1815が接着されている。

#### 【0116】

なお、本実施例では、この時点で第1の基板1800、第2の接着層1814



、および第2の基板1815を金属酸化物層1802において剥離せず、第1の素子形成層1902上の配線1805と重ならない位置に熱伝導性膜1820を形成する。なお、ここで形成される熱伝導性膜1820は、実施例2における熱伝導性膜620に用いたものと同様の材料を用いて同様の方法で形成すればよい。

#### 【0117】

次に熱伝導性膜1820が形成された第1の素子形成層1902上に第1の接着層1821を形成した後、第2の素子形成層1901を接着する。なお、第1の接着層1821は、異方導電性の接着剤により形成される異方導電性接着層である。

#### 【0118】

また、ここで接着される第2の素子形成層1902は、実施例2の図8（A）に示す第2の素子形成層801と同様の構造を有する。すなわち、第2の素子形成層1901に形成される配線と電氣的に接続された補助配線1825を有しており、また、配線上に有機樹脂層1822、第3の接着層1823、第3の基板1824を有している。なお、補助配線1825は、第1の素子形成層と接着された際に第1の接着層1821を介して第1の素子形成層1902における配線1805と電氣的に接続される。

#### 【0119】

第1の素子形成層1902と第2の素子形成層1901とを接着させた後、第3の基板1824側から紫外線を照射することにより、第3の接着層1823に用いている両面テープの接着力を低下させ、第2の素子形成層1901から第3の基板1824を分離させる。さらに、ここで露出した表面を水洗することにより、第3の接着層1823および有機樹脂層1822を溶かして除去することができる。

#### 【0120】

次に、第2の素子形成層1901の表面に露出した配線に接してバンプ1825を形成し、熱伝導性を有する第4の基板1827上に異方導電性の接着剤により形成される第4の接着層1828を介して接着させる。なお、バンプ1825

を形成する材料としては、タングステン（W）、タングステン－レニウム（W－Re）、パラジウム（Pd）、ベリリウム銅（BeCu）等を用いることができる。

#### 【0121】

第4の基板（熱伝導性基板）1827としては、ガラス基板、石英基板、セラミック基板、プラスチック基板、シリコン基板、金属基板、またはステンレス基板等を用いることができるが、高い熱伝導率を有する基板を用いることが好ましい。中でも、酸化アルミニウム（アルミナ）、窒化アルミニウム、窒化酸化アルミニウム、窒化珪素などを主成分とするセラミック基板が特に好ましい。なお、第4の基板1827には、第2の素子形成層1901の配線とバンプ1825を介して電氣的な接続を得るための配線を形成しておく必要がある。なお、配線形成の方法としては、LSIの分野において、チップを貼り付ける基板（ダイともいう）に配線を形成する場合に用いる公知の方法を用いることができるので説明は省略する。なお、図17（B）には、図17（A）に示す素子形成層の積層構造を反転させた状態を示す。

#### 【0122】

次に、実施例2の図6（A）で説明したのと同様に金属層1801と酸化物層1803との間の金属酸化物層1802で物理的に剥離させることにより、第1の基板1800、第2の接着層1814、および第2の基板1815を分離除去する。

#### 【0123】

さらに、本実施例では、第2の素子形成層1902の上に存在する金属酸化物層1802の一部をアンモニア水溶液などのアルカリ性の水溶液や酸性水溶液などを用いて除去する。なお、この処理は必要に応じて行えばよい。

#### 【0124】

以上により、図18（B）に示すように熱伝導性の基板（第4の基板1827）上に第2の素子形成層1901と第1の素子形成層1902とが積層された構造（実施例1や実施例2とは異なる構造）を形成することができる。

#### 【0125】

**(実施例 4)**

本実施例では、熱伝導性基板上に複数の素子形成層が積層された本発明の半導体チップにおいて、熱伝導性基板上に積層して形成された複数の素子形成層に含まれる T F T 等で構成された素子が、熱伝導性基板に形成された配線、およびはんだボール 9 1 0 を介して外部と電氣的に接続することができる具体的な構造について、図 9 (A) (B) を用いて説明する。なお、図 9 (A) には、実施の形態 1 で説明した半導体チップの構造を示し、図 9 (B) には、実施の形態 2 で説明した半導体チップの構造を示す。

**【0 1 2 6】**

図 9 (A) に示す半導体チップは、ワイヤボンディング方式の接続構造を有する半導体チップであって、各素子形成層 9 0 1 の配線と電氣的に接続された電極パッド 9 1 1 と熱伝導性基板 9 0 6 とが接続配線 9 0 9 により電氣的に接続されている。なお、素子形成層 9 0 1 は、実施例 1 に説明した方法を用いることにより形成されたものである。

**【0 1 2 7】**

一方、これらの素子形成層が積層形成される熱伝導性基板 9 0 6 は、開口部において基板を貫通する配線 9 0 7 が形成されている。そして、これらの配線 9 0 7 の一部を残して熱伝導性基板の両面に絶縁層 9 0 8 が形成されている。

**【0 1 2 8】**

なお、絶縁層 9 0 8 に覆われていない配線 9 0 7 は、接続配線 9 0 9 を介して各素子形成層の電極パッド 9 1 1 と電氣的に接続されている。また、熱伝導性基板 9 0 6 の素子形成層 9 1 1 が接着されていない面には、配線 9 0 7 と接して導電性の材料からなるはんだボール 9 1 0 が形成されている。

**【0 1 2 9】**

図 9 (A) に示す半導体チップを、配線が形成された配線基板（プリント配線板等）上に、配線基板上の配線と半導体チップのはんだボール 9 1 0 とが接するように位置合わせをして貼り付けることにより電氣的な接続を得ることができる。

**【0 1 3 0】**

図 9 (B) に示す半導体チップは、フリップチップ方式の接続構造を有する半導体チップであって、各素子形成層 9 0 1 の配線と補助配線とが異方導電性接着層を介して電氣的に接続されている。なお、本実施例で示す素子形成層 9 0 1 は、図 9 (B) の 9 2 3 の拡大図である図 9 (C) に示すように素子形成層 9 0 1 に含まれる複数の配線が引き出し配線 9 2 1 により引き出されており、これに接してバンプ 9 2 8 を形成し、異方導電性接着層 9 1 5 を介して配線 9 1 7 と電氣的に接続される点で実施例 2 の場合と異なる。

#### 【0 1 3 1】

なお、異方導電性接着層 9 1 5 に用いる材料は、実施例 2 において異方導電性接着層に用いる材料と同じ材料を用いればよい。すなわち、A g、A u、A l 等の金属粒子を絶縁性被膜で覆った異方導電性粒子 9 2 5 と、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤等の接着剤 9 2 4 とからなる異方導電性接着層 9 1 5 において、異方導電性粒子 9 2 5 を間に介することによりバンプ 9 2 8 と配線 9 1 7 とを電氣的に接続することができる。

#### 【0 1 3 2】

また、これらの素子形成層が積層形成される熱伝導性基板 9 1 6 には、図 9 (A) の場合と同様に、開口部において基板を貫通する配線 9 0 7 と接して導電性の材料からなるはんだボール 9 2 0 が形成されている。

#### 【0 1 3 3】

図 9 (B) に示す半導体チップを、配線が形成された配線基板（プリント配線板等）上に、配線基板上の配線と半導体チップのはんだボール 9 2 0 とが接するように位置合わせをして貼り付けることにより電氣的な接続を得ることができる。

#### 【0 1 3 4】

（実施例 5）

本実施例では、熱伝導性基板上に貼り付けられたチップが、C P U としての機能を有する場合の機能および構成について図 1 0 を用いて説明する。

#### 【0 1 3 5】

まず、オペコードがインターフェース 1001 に入力されると、解析回路 1003 (Instruction Decoderともいう) においてコードが解読され、信号が制御信号発生回路 1004 (CPU Timing Control) に入力される。信号が入力されると、制御信号発生回路 1004 から、演算回路 1009 (以下、ALUと示す)、および記憶回路 1010 (以下、Registerと示す) に制御信号が出力される。

#### 【0136】

なお、制御信号発生回路 1004 には、ALU 1009 を制御する ALU コントローラ 1005 (以下、ACON と示す)、Register 1010 を制御する回路 1006 (以下、RCON と示す)、タイミングを制御するタイミングコントローラ 1007 (以下、TCON と示す)、および割り込みを制御する割り込みコントローラ 1008 (以下、ICON と示す) を含むものとする。

#### 【0137】

一方、オペランドがインターフェース 1001 に入力されると、ALU 1009、および Register 1010 に出力される。そして、制御信号発生回路 1004 から入力された制御信号に基づく処理 (例えば、メモリリードサイクル、メモリライトサイクル、あるいは I/O リードサイクル、I/O ライトサイクル等) がなされる。

#### 【0138】

なお、Register 1010 は、汎用レジスタ、スタックポインタ (SP)、プログラムカウンタ (PC) 等により構成される。

#### 【0139】

また、アドレスコントローラ 1011 (以下、ADRC と示す) は、16 ビットのアドレスを出力する。

#### 【0140】

なお、本実施例に示した CPU の構成は、本発明の半導体チップに含まれる CPU の一例であり、本発明の構成を限定するものではない。従って、本実施例に示す以外の構造を有する公知の CPU を用いて本発明の半導体チップを完成させることも可能である。

**【0141】**

(実施例6)

本実施例では、本発明の半導体チップにCPUと発光装置とが積層して含まれる場合の構造について、図11の断面図を用いて詳細に説明する。熱伝導性基板1101上に形成された第1の素子形成層1102には、CPUが含まれており、第2の素子形成層1103には、発光装置が含まれている。そして、これらの層は、接続配線1104により電氣的に接続されている。

**【0142】**

なお、第1の素子形成層1102に含まれるCPUについては、実施例4で説明した構成とすればよいので、説明は省略することとする。

**【0143】**

また、第2の素子形成層1103に含まれる発光装置は、nチャネル型TFT1105、pチャネル型TFT1106を組み合わせたCMOS回路で形成される駆動回路部（ソース側駆動回路、またはゲート側駆動回路）1107、画素部1108で構成される。

**【0144】**

なお、駆動回路を形成するTFTは、公知のCMOS回路、PMOS回路もしくはNMOS回路で形成しても良い。また、本実施例では、同一の素子形成層に駆動回路部と画素部とを形成したドライバー一体型を示すが、必ずしもその必要はなく、駆動回路部を別の素子形成層に形成し、積層する構造としても良い。

**【0145】**

また、画素部1108はスイッチング用TFT1111と、電流制御用TFT1112とそのドレインに電氣的に接続された第1の電極1113とを含む複数の画素により形成される。なお、第1の電極1113の端部を覆って絶縁物1114が形成されている。

**【0146】**

第1の電極1113上に電界発光層1115、および第2の電極1116がそれぞれ形成され、電界発光素子1117を構成している。ここで、第1の電極1113に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。

例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

#### 【0147】

また、電界発光層1115は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成することができる。

#### 【0148】

さらに、電界発光層1115上に形成される第2の電極(陰極)1116に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF<sub>2</sub>、またはCaN)を用いればよい。ここでは、発光が透過するように、第2の電極(陰極)1116として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(酸化インジウム酸化スズ合金)、酸化インジウム酸化亜鉛合金(In<sub>2</sub>O<sub>3</sub>-ZnO)、酸化亜鉛(ZnO)等)との積層を用いる。

#### 【0149】

以上のように、CPUを含む第1の素子形成層1102と発光装置を含む第2の素子形成層1103とを積層し、これらを電極パッド1119において接続配線1104で電氣的に接続した後、樹脂1120で封止する。なお、樹脂材料としては熱硬化性や熱可塑性の樹脂を用いることができる。具体的には、エポキシ樹脂、シリコーン樹脂、PPS樹脂(Poly Phenylene Sulfide resin)等のモールド樹脂を用いることができる。

#### 【0150】

なお、ここでは、図示しないが熱伝導性基板には、第1の素子形成層1102、第2の素子形成層1103と電氣的に接続された配線が設けられており、さらに配線と接続されたはんだボール1120を介して外部と接続することができる。

#### 【0151】

## (実施例 7)

本発明の実施例について図 12、図 13 を用いて説明する。ここでは、同一基板上に n チャネル型 T F T 及び p チャネル型 T F T を同時に作製する方法について詳細に説明する。

## 【0152】

基板 1200 としては、石英基板、半導体基板、セラミックス基板、金属基板等を用いることができるが、本実施例ではガラス基板（# 1737）を用いる。そして、基板 1200 上に窒化物層 1201 として P C V D 法により酸化窒化シリコン層を 100 nm の膜厚で成膜する。

## 【0153】

次に、スパッタリング法により金属層 1202 としてタングステン層を 50 nm の膜厚で成膜し、大気解放せず連続的にスパッタリング法により酸化物層 1203 として酸化シリコン層を 200 nm の膜厚で成膜する。酸化シリコン層の成膜条件は、R F 方式のスパッタリング装置を用い、シリコンターゲット（直径 30.5 cm）を用い、基板を加熱するために加熱したアルゴンガスを流量 20 s c c m として流し、基板温度 270℃、成膜圧力 0.4 P a、成膜電力 3 k W、アルゴン流量／酸素流量 = 10 s c c m／30 s c c m とする。

## 【0154】

次に、基板周縁部または端面を O<sub>2</sub> アッシングによってタングステン層を除去する。

## 【0155】

次に下地絶縁膜 1204 としてプラズマ C V D 法で成膜温度 300℃、原料ガス S i H<sub>4</sub>、N<sub>2</sub>O から作製される酸化窒化シリコン膜（組成比 S i = 32%、O = 59%、N = 7%、H = 2%）を 100 nm の厚さに積層形成し、さらに大気解放せず連続的にプラズマ C V D 法で成膜温度 300℃、成膜ガス S i H<sub>4</sub> で非晶質構造を有する半導体層（ここでは非晶質シリコン層）を 54 nm の厚さで形成する。この非晶質シリコン層は水素を含んでおり、後の熱処理によって水素を拡散させ、物理的手段で酸化物層の層内、あるいは界面において剥離することができる。



## 【0156】

次に、重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピナーで塗布する。塗布に代えてスパッタ法でニッケル元素を全面に散布する方法を用いてもよい。次いで、加熱処理を行い結晶化させて結晶構造を有する半導体膜（ここではポリシリコン層）を形成する。ここでは脱水素化のための熱処理（500℃、1時間）の後、結晶化のための熱処理（550℃、4時間）を行って結晶構造を有するシリコン膜を得る。また、この脱水素化のための熱処理（500℃、1時間）は、非晶質シリコン層に含まれる水素をW膜と酸化シリコン層との界面に拡散する熱処理を兼ねている。なお、ここではシリコンの結晶化を助長する金属元素としてニッケルを用いた結晶化技術を用いるが、他の公知の結晶化技術、例えば固相成長法やレーザー結晶化法を用いてもよい。

## 【0157】

次に、結晶構造を有するシリコン膜表面の酸化膜を希フッ酸等で除去した後、結晶化率を高め、結晶粒内に残される欠陥を補修するためのレーザー光（XeCl：波長308nm）の照射を大気中、または酸素雰囲気中で行う。レーザー光には波長400nm以下のエキシマレーザー光や、YAGレーザーの第2高調波、第3高調波を用いる。ここでは、繰り返し周波数10～1000Hz程度のパルスレーザー光を用い、当該レーザー光を光学系にて100～500mJ/cm<sup>2</sup>に集光し、90～95%のオーバーラップ率をもって照射し、シリコン膜表面を走査させればよい。ここでは、繰り返し周波数30Hz、エネルギー密度470mJ/cm<sup>2</sup>でレーザー光の照射を大気中で行う。

## 【0158】

なお、大気中、または酸素雰囲気中で行うため、レーザー光の照射により表面に酸化膜が形成される。なお、ここではパルスレーザーを用いる例を示したが、連続発振のレーザーを用いてもよく、非晶質半導体膜の結晶化に際し、大粒径に結晶を得るためには、連続発振が可能な固体レーザーを用い、基本波の第2高調波～第4高調波を適用するのが好ましい。代表的には、Nd:YVO<sub>4</sub>レーザー（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を適用すればよい。連続発振のレーザーを用いる場合には、出力10Wの連続発

振の  $\text{YVO}_4$  レーザから射出されたレーザー光を非線形光学素子により高調波に変換する。また、共振器の中に  $\text{YVO}_4$  結晶と非線形光学素子を入れて、高調波を射出する方法もある。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザー光に成形して、被処理体に照射する。このときのエネルギー密度は  $0.01 \sim 100 \text{ MW/cm}^2$  程度（好ましくは  $0.1 \sim 10 \text{ MW/cm}^2$ ）が必要である。そして、 $10 \sim 2000 \text{ cm/s}$  程度の速度でレーザー光に対して相対的に半導体膜を移動させて照射すればよい。

#### 【0159】

次に、上記レーザー光の照射により形成された酸化膜に加え、オゾン水で表面を 120 秒処理して合計  $1 \sim 5 \text{ nm}$  の酸化膜からなるバリア層を形成する。本実施例ではオゾン水を用いてバリア層を形成するが、酸素雰囲気下の紫外線の照射で結晶構造を有する半導体膜の表面を酸化する方法や酸素プラズマ処理により結晶構造を有する半導体膜の表面を酸化する方法やプラズマ CVD 法やスパッタ法や蒸着法などで  $1 \sim 10 \text{ nm}$  程度の酸化膜を堆積してバリア層を形成してもよい。また、バリア層を形成する前にレーザー光の照射により形成された酸化膜を除去してもよい。

#### 【0160】

次に、バリア層上にスパッタリング法にてゲッタリングサイトとなるアルゴン元素を含む非晶質シリコン膜を  $10 \text{ nm} \sim 400 \text{ nm}$ 、ここでは膜厚  $100 \text{ nm}$  で成膜する。本実施例では、アルゴン元素を含む非晶質シリコン膜は、シリコンターゲットを用いてアルゴンを含む雰囲気下で形成する。プラズマ CVD 法を用いてアルゴン元素を含む非晶質シリコン膜を形成する場合、成膜条件は、モノシランとアルゴンの流量比 ( $\text{SiH}_4 : \text{Ar}$ ) を  $1 : 99$  とし、成膜圧力を  $6.665 \text{ Pa}$  ( $0.05 \text{ Torr}$ ) とし、RF パワー密度を  $0.087 \text{ W/cm}^2$  とし、成膜温度を  $350^\circ\text{C}$  とする。

#### 【0161】

その後、 $650^\circ\text{C}$  に加熱された炉に入れて 3 分の熱処理を行いゲッタリングして、結晶構造を有する半導体膜中のニッケル濃度を低減する。炉に代えてランプアニール装置を用いてもよい。

**【0162】**

次に、バリア層をエッチングストッパーとして、ゲッターリングサイトであるアルゴン元素を含む非晶質シリコン膜を選択的に除去した後、バリア層を希フッ酸で選択的に除去する。なお、ゲッターリングの際、ニッケルは酸素濃度の高い領域に移動しやすい傾向があるため、酸化膜からなるバリア層をゲッターリング後に除去することが望ましい。

**【0163】**

次いで、得られた結晶構造を有するシリコン膜（ポリシリコン膜とも呼ばれる）の表面にオゾン水で薄い酸化膜を形成した後、レジストからなるマスクを形成し、所望の形状にエッチング処理して島状に分離された半導体層 1205、1206 を形成する。半導体層 1205、1206 を形成した後、レジストからなるマスクを除去する。

**【0164】**

以上の工程で基板 1200 上に窒化物層 1201、金属層 1202、酸化物層 1203、下地絶縁膜 1204 を形成し、結晶構造を有する半導体膜を得た後、所望の形状にエッチング処理して島状に分離された半導体層 1205、1206 を形成することができる。

**【0165】**

次に、フッ酸を含むエッチャントで酸化膜を除去すると同時にシリコン膜の表面を洗浄した後、ゲート絶縁膜 1207 となる珪素を主成分とする絶縁膜を形成する。本実施例では、プラズマ CVD 法により 115 nm の厚さで酸化窒化シリコン膜（組成比 Si = 32%、O = 59%、N = 7%、H = 2%）で形成する（図 12（B））。

**【0166】**

さらに、ゲート絶縁膜 1207 上に膜厚 20～100 nm の第 1 の導電膜 1208 と、膜厚 100～400 nm の第 2 の導電膜 1209 とを積層形成する。本実施例では、ゲート絶縁膜 1207 上に膜厚 50 nm の窒化タンタル膜、膜厚 370 nm のタングステン膜を順次積層する。

**【0167】**

第1の導電膜1208及び第2の導電膜1209を形成する導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、第1の導電膜1208及び第2の導電膜1209としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜や、AgPdCu合金を用いてもよい。また、2層構造に限定されず、例えば、膜厚50nmのタングステン膜、膜厚500nmのアルミニウムとシリコンの合金(Al-Si)膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。また、3層構造とする場合、第1の導電膜のタングステンに代えて窒化タングステンを用いてもよいし、第2の導電膜のアルミニウムとシリコンの合金(Al-Si)膜に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、第3の導電膜の窒化チタン膜に代えてチタン膜を用いてもよい。また、単層構造であってもよい。

#### 【0168】

次に、図12(C)に示すように光露光工程によりレジストからなるマスク1210、1211を形成し、ゲート電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。エッチングにはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって所望のテーパー形状に膜をエッチングすることができる。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>、CCl<sub>4</sub>などを代表とする塩素系ガスまたはCF<sub>4</sub>、SF<sub>6</sub>、NF<sub>3</sub>などを代表とするフッ素系ガス、またはO<sub>2</sub>を適宜用いることができる。

#### 【0169】

本実施例では、基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、基板側の電極面積サイズは、12.5cm×12.5cmであり、コイル型の電極面積サイズ(ここではコイルの設けられた石英円板)は、直径25cmの円板である。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテ

ーパー形状とする。第1のエッチング条件でのWに対するエッチング速度は200.39nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は80.32nm/minであり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は約2.5である。また、この第1のエッチング条件によって、Wのテーパ角は、約26°となる。この後、レジストからなるマスク1210、1211を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30/30 (sccm)とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF (13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は58.97nm/min、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は66.43nm/minである。なお、ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

#### 【0170】

上記第1のエッチング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。このテーパ部の角度は15~45°とすればよい。

#### 【0171】

こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層1212、1213(第1の導電層1212a、1213aと第2の導電層1212b、1213b)を形成する。ゲート絶縁膜となる絶縁膜1207は、10~20nm程度エッチングされ、第1の形状の導電層1212、1213で覆われない領域が薄くなったゲート絶縁膜1211となる。

#### 【0172】

次に、レジストからなるマスクを除去せずに第2のエッチング処理を行う。ここでは、エッチング用ガスにSF<sub>6</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量

比を  $24/12/24$  (s c c m) とし、 $1.3$  Pa の圧力でコイル型の電極に  $700$  W の RF ( $13.56$  MHz) 電力を投入してプラズマを生成してエッチングを  $25$  秒行う。基板側 (試料ステージ) にも  $10$  W の RF ( $13.56$  MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。第 2 のエッチング処理での W に対するエッチング速度は  $227.3$  nm/min、Ta N に対するエッチング速度は  $32.1$  nm/min であり、Ta N に対する W の選択比は  $7.1$  であり、絶縁膜 1211 である Si ON に対するエッチング速度は  $33.7$  nm/min であり、Si ON に対する W の選択比は  $6.83$  である。このようにエッチングガス用ガスに  $SF_6$  を用いた場合、絶縁膜 1211 との選択比が高いので膜減りを抑えることができる。本実施例における絶縁膜 1211 の膜減りは  $8$  nm 程度である。

#### 【0173】

この第 2 のエッチング処理により W のテーパー角を  $70^\circ$  とすることができる。この第 2 のエッチング処理により第 2 の導電層 1214 b、1215 b を形成する。このとき、第 1 の導電層は、ほとんどエッチングされず、第 1 の導電層 1214 a、1215 a となる。なお、第 1 の導電層 1214 a、1215 a は、第 1 の導電層 1212 a、1213 a とほぼ同一サイズである。実際には、第 1 の導電層の幅は、第 2 のエッチング処理前に比べて約  $0.3$   $\mu$ m 程度、即ち線幅全体で  $0.6$   $\mu$ m 程度後退する場合もあるがほとんどサイズに変化がない。

#### 【0174】

また、2 層構造に代えて、膜厚  $50$  nm のタングステン膜、膜厚  $500$  nm のアルミニウムとシリコンの合金 (Al-Si) 膜、膜厚  $30$  nm の窒化チタン膜を順次積層した 3 層構造とした場合、第 1 のエッチング処理における第 1 のエッチング条件としては、 $BCl_3$  と  $Cl_2$  と  $O_2$  とを原料ガスに用い、それぞれのガス流量比を  $65/10/5$  (s c c m) とし、基板側 (試料ステージ) に  $300$  W の RF ( $13.56$  MHz) 電力を投入し、 $1.2$  Pa の圧力でコイル型の電極に  $450$  W の RF ( $13.56$  MHz) 電力を投入してプラズマを生成して  $117$  秒のエッチングを行えばよく、第 1 のエッチング処理における第 2 のエッチング条件としては、 $CF_4$  と  $Cl_2$  と  $O_2$  とを用い、それぞれのガス流量比を  $25$

／25／10 (s c c m) とし、基板側 (試料ステージ) にも 20 W の RF (13.56 MHz) 電力を投入し、1 Pa の圧力でコイル型の電極に 500 W の RF (13.56 MHz) 電力を投入してプラズマを生成して約 30 秒程度のエッチングを行えばよく、第 2 のエッチング処理としては  $\text{BCl}_3$  と  $\text{Cl}_2$  を用い、それぞれのガス流量比を 20／60 (s c c m) とし、基板側 (試料ステージ) には 100 W の RF (13.56 MHz) 電力を投入し、1.2 Pa の圧力でコイル型の電極に 600 W の RF (13.56 MHz) 電力を投入してプラズマを生成してエッチングを行えばよい。

#### 【0175】

次いで、レジストからなるマスクを除去した後、第 1 のドーピング処理を行って図 13 (A) の状態を得る。ドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を  $1.5 \times 10^{14} \text{ atoms/cm}^2$  とし、加速電圧を 60～100 keV として行う。n 型を付与する不純物元素として、典型的にはリン (P) または砒素 (As) を用いる。この場合、第 1 の導電層及び第 2 の導電層 1214、1215 が n 型を付与する不純物元素に対するマスクとなり、自己整合的に第 1 の不純物領域 516、517 が形成される。第 1 の不純物領域 1216、1217 には  $1 \times 10^{16} \sim 1 \times 10^{17} / \text{cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加する。ここでは、第 1 の不純物領域と同じ濃度範囲の領域を n<sup>+</sup>領域とも呼ぶ。

#### 【0176】

なお、本実施例ではレジストからなるマスクを除去した後、第 1 のドーピング処理を行ったが、レジストからなるマスクを除去せずに第 1 のドーピング処理を行ってもよい。

#### 【0177】

次に、図 13 (B) に示すようにレジストからなるマスク 1218 を形成し第 2 のドーピング処理を行う。マスク 1218 は p チャネル型 TFT を形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクである。

#### 【0178】

第 2 のドーピング処理におけるイオンドープ法の条件はドーズ量を  $1.5 \times 1$

$0.15 \text{ atoms/cm}^2$ とし、加速電圧を  $60 \sim 100 \text{ keV}$  としてリン (P) をドーピングする。ここでは、第2の導電層 1214b、1215b をマスクとして各半導体層に不純物領域が自己整合的に形成される。勿論、マスク 1218 で覆われた領域には添加されない。こうして、第2の不純物領域 1219 と、第3の不純物領域 1220 が形成される。第2の不純物領域 1219 には  $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加されている。ここでは、第2の不純物領域と同じ濃度範囲の領域を n+領域とも呼ぶ。

#### 【0179】

また、第3の不純物領域 1220 は第1の導電層 1215a により第2の不純物領域 1219 よりも低濃度に形成され、 $1 \times 10^{18} \sim 1 \times 10^{19} / \text{cm}^3$  の濃度範囲で n 型を付与する不純物元素を添加されることになる。なお、第3の不純物領域 1220 は、テーパ形状である第1の導電層 1215a の部分を通過させてドーピングを行うため、テーパ部の端部に向かって不純物濃度が増加する濃度勾配を有している。ここでは、第3の不純物領域 1220 と同じ濃度範囲の領域を n-領域とも呼ぶ。

#### 【0180】

次いで、レジストからなるマスク 1218 を除去した後、新たにレジストからなるマスク 1221 を形成して図 13 (C) に示すように第3のドーピング処理を行う。

#### 【0181】

上記第3のドーピング処理により、p チャネル型 TFT を形成する半導体層に p 型の導電性を付与する不純物元素が添加された第4の不純物領域 1222 及び第5の不純物領域 1223 を形成する。

#### 【0182】

また、第4の不純物領域 1222 には  $1 \times 10^{20} \sim 1 \times 10^{21} / \text{cm}^3$  の濃度範囲で p 型を付与する不純物元素が添加されるようにする。尚、第4の不純物領域 1222 には先の工程でリン (P) が添加された領域 (n-領域) であるが、p 型を付与する不純物元素の濃度がその 1.5 ～ 3 倍添加されていて導電性は p 型となっている。ここでは、第4の不純物領域 1222 と同じ濃度範囲の領域を



p<sup>+</sup>領域とも呼ぶ。

#### 【0183】

また、第5の不純物領域1223は第1の導電層515aのテーパ部と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{20} / \text{cm}^3$ の濃度範囲でp型を付与する不純物元素が添加されるようにする。ここでは、第5の不純物領域1223と同じ濃度範囲の領域をp<sup>-</sup>領域とも呼ぶ。

#### 【0184】

以上の工程により、それぞれの半導体層にn型またはp型の導電性を有する不純物領域が形成される。導電層1214、1215はTFTのゲート電極となる。

#### 【0185】

次に、ほぼ全面を覆う絶縁膜1224を形成する。本実施例では、プラズマCVD法により膜厚50nmの酸化シリコン膜を形成する。勿論、この絶縁膜は酸化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

#### 【0186】

次に、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化工程は、ランプ光源を用いたラピッドサーマルアニール法（RTA法）、或いはYAGレーザーまたはエキシマレーザーを裏面から照射する方法、或いは炉を用いた熱処理、或いはこれらの方法のうち、いずれかと組み合わせた方法によって行う。

#### 【0187】

また、本実施例では、上記活性化の前に絶縁膜を形成した例を示したが、上記活性化を行った後、絶縁膜を形成する工程としてもよい。

#### 【0188】

次に、窒化シリコン膜からなる第1の層間絶縁膜1225を形成して熱処理（300～550℃で1～12時間の熱処理）を行い、半導体層を水素化する工程を行う（図13（D））。この工程は第1の層間絶縁膜1225に含まれる水素により半導体層のダングリングボンドを終端する工程である。酸化シリコン膜か

らなる絶縁膜 1224 の存在に関係なく半導体層を水素化することができる。ただし、本実施例では、第 2 の導電層としてアルミニウムを主成分とする材料を用いているので、水素化する工程において第 2 の導電層が耐え得る熱処理条件とすることが重要である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

#### 【0189】

次に、第 1 の層間絶縁膜 1225 上に有機絶縁物材料から成る第 2 の層間絶縁膜 1226 を形成する。本実施例では膜厚 1.6  $\mu\text{m}$  のアクリル樹脂膜を形成する。次に、各不純物領域に達するコンタクトホールを形成する。本実施例では複数のエッチング処理を順次行う。本実施例では第 1 の層間絶縁膜 1225 をエッチングストッパーとして第 2 の層間絶縁膜 1226 をエッチングした後、絶縁膜 1224 をエッチングストッパーとして第 1 の層間絶縁膜 1225 をエッチングしてから絶縁膜 1224 をエッチングする。

#### 【0190】

その後、Al、Ti、Mo、Wなどを用いて配線 1227、1228、1229 を形成する。

#### 【0191】

以上の様にして、nチャネル型 TFT 1301、pチャネル型 TFT 1302 を同一基板上に形成することができる（図 13）。

#### 【0192】

なお、これらの nチャネル型 TFT 1301、pチャネル型 TFT 1302 を相補的に接続することにより CMOS 回路を形成して用いることもできる。

#### 【0193】

また、本実施例で示すゲート電極と不純物領域の一部が重なる構造（GOLD 構造）の TFT を用いる場合は、ゲート絶縁膜が薄くなると寄生容量が増加するが、ゲート電極（第 1 導電層）のテーパー部となる部分サイズを小さくして寄生容量を低減すれば、f 特性（周波数特性）も向上してさらなる高速動作が可能となり、且つ、十分な信頼性を有する TFT とすることができる。

#### 【0194】

なお、以上のようにして基板 1 2 0 0 上に n チャンネル型 T F T 1 3 0 1、p チャンネル型 T F T 1 3 0 2 形成した後、本発明の実施の形態で説明した工程を用いることにより、これらの T F T が形成された素子形成層がフッ素系樹脂を含む膜に覆われた構造を有する本発明の半導体装置を作製することができる。

#### 【0 1 9 5】

但し、本実施例で形成された T F T を含む素子形成層は、 $50\mu\text{m}$ 以下の膜厚で形成されることを特徴とする。

#### 【0 1 9 6】

(実施例 8)

本実施例では、本発明の半導体チップが、モジュールに組み込まれ、実際に電子機器に組み込まれる様子について、携帯電話の場合を例に挙げ、図 1 4 を用いて説明する。

#### 【0 1 9 7】

図 1 4 に示す携帯電話のモジュールは、プリント配線基板 1 4 0 6 に、コントローラ 1 4 0 1、C P U 1 4 0 2、メモリ 1 4 1 1、電源回路 1 4 0 3、音声処理回路 1 4 2 9 及び送受信回路 1 4 0 4 や、その他、抵抗、バッファ、容量素子等の素子が実装されている。また、ここでは、図示しないがパネルが F P C 8 によってプリント配線基板 1 4 0 6 に実装されている。

#### 【0 1 9 8】

プリント配線基板 1 4 0 6 への電源電圧及びキーボードなどから入力された各種信号は、複数の入力端子が配置されたプリント配線基板用のインターフェース (I/F) 部 1 4 0 9 を介して供給される。また、アンテナとの間の信号の送受信を行うためのアンテナ用ポート 1 4 1 0 が、プリント配線基板 1 4 0 6 に設けられている。

#### 【0 1 9 9】

なお、メモリ 1 4 1 1 には、V R A M、D R A M、フラッシュメモリなどが含まれている。V R A M にはパネルに表示する画像のデータが、D R A M には画像データまたは音声データが、フラッシュメモリには各種プログラムが記憶されている。

**【0200】**

また、電源回路1403では、コントローラ1401、CPU1402、音声処理回路1429、メモリ1411、送受信回路1401への電源電圧が生成される。またパネルの仕様によっては、電源回路1403に電流源が備えられている場合もある。

**【0201】**

CPU1402の構成については、実施例4で説明したので省略するが、入力された信号に基づき、各種命令を含む信号をメモリ1411、送受信回路1404、音声処理回路1429、コントローラ1401などに送る。

**【0202】**

メモリ1411、送受信回路1431、音声処理回路1429、コントローラ1401は、それぞれ受けた命令に従って動作する。以下その動作について簡単に説明する。

**【0203】**

キーボードから入力された信号は、インターフェース1409を介してプリント配線基板1406に実装されたCPU1402に送られる。CPU1402では、キーボードから送られてきた信号に従い、VRAMに格納してある画像データを所定のフォーマットに変換し、コントローラ801に送付する。

**【0204】**

コントローラ1401は、パネルの仕様に合わせてCPU802から送られてきた画像データを含む信号にデータ処理を施し、パネルに供給する。またコントローラ1401は、電源電圧1403から入力された電源電圧やCPUから入力された各種信号をもとに、Hsync信号、Vsync信号、クロック信号CLK、交流電圧(AC Cont)を生成し、パネルに供給する。

**【0205】**

送受信回路1404では、アンテナにおいて電波として送受信される信号が処理されており、具体的にはアイソレータ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、LPF (Low Pass Filter)、カプラ、バランなどの高周波回路を含んでいる。送受信回路1404において送受信される信号のうち音声

情報を含む信号が、CPU1402からの命令に従って、音声処理回路1429に送られる。

#### 【0206】

CPU1402の命令に従って送られてきた音声情報を含む信号は、音声処理回路1429において音声信号に復調され、スピーカーに送られる。またマイクから送られてきた音声信号は、音声処理回路1429において変調され、CPU1402からの命令に従って、送受信回路1404に送られる。

#### 【0207】

コントローラ1401、CPU1402、電源回路1403、音声処理回路1429、メモリ1411を、本発明の半導体チップとして実装することができる。本発明は、アイソレータ、バンドパスフィルタ、VCO (Voltage Controlled Oscillator)、LPF (Low Pass Filter)、カップラ、バランなどの高周波回路以外であれば、どのような回路にも応用することができる。

#### 【0208】

(実施例9)

本発明を実施して実施例8に示すような様々なモジュールを完成させることができる。従って、これらのモジュールを組み込むことにより様々な電子機器を完成させることができる。

#### 【0209】

これらの電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ、(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)等の記録媒体を再生し、その画像を表示しうる表示装置を備えた装置)等が挙げられる。これら電子機器の具体例を図15に示す。

#### 【0210】

図15(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の半導体チップは、表示装置に表示させるための回路部分等に用いることができる。な

お、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用装置が含まれる。

#### 【0211】

図15 (B) はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の半導体チップは、ノート型パーソナルコンピュータを駆動させるための回路部分等に用いることができる。

#### 【0212】

図15 (C) はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の半導体チップは、モバイルコンピュータを駆動させるための回路部分等に用いることができる。

#### 【0213】

図15 (D) はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカー部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD (Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

#### 【0214】

図15 (E) は携帯書籍（電子書籍）であり、本体2501、表示部2502、記憶媒体2503、操作スイッチ2504、アンテナ2505等を含む。本発明の半導体チップは、携帯書籍を機能させるための回路部分等に用いることができる。

#### 【0215】

図15 (F) はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。本発明の半導体チップは、ビデオカメラを機能させるための回路部分

等に用いることができる。

#### 【0216】

ここで図15 (G) は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の半導体チップは、携帯電話を機能させるための回路部分等に用いることができる。

#### 【0217】

以上の様に、本発明により作製された発光装置の適用範囲は極めて広く、本発明の半導体装置等をあらゆる分野の応用製品に適用することが可能である。

#### 【0218】

##### 【発明の効果】

本発明を実施することにより、50  $\mu$ m以下の薄膜でなる素子形成層を複数積層して高集積化された半導体チップを提供することができる。さらに、本発明では、素子形成層を転写させる基板や、素子形成層が積層される界面に熱伝導性の高い材料を用いることから、薄膜化した際に特に問題となる発熱による素子劣化を防止することができる。

##### 【図面の簡単な説明】

- 【図1】 本発明の半導体チップの構造について説明する図。
- 【図2】 本発明の半導体チップの作製方法について説明する図。
- 【図3】 本発明の半導体チップの作製方法について説明する図。
- 【図4】 本発明の半導体チップの作製方法について説明する図。
- 【図5】 本発明の半導体チップの作製方法について説明する図。
- 【図6】 本発明の半導体チップの作製方法について説明する図。
- 【図7】 本発明の半導体チップの作製方法について説明する図。
- 【図8】 本発明の半導体チップの作製方法について説明する図。
- 【図9】 本発明の半導体チップの構造について説明する図。
- 【図10】 本発明の半導体チップに含まれるCPUの構造について説明する図。
- 。
- 【図11】 本発明の半導体チップの実施例について説明する図。

【図 1 2】 T F T の作製工程について説明する図。

【図 1 3】 T F T の作製工程について説明する図。

【図 1 4】 本発明の半導体チップが組み込まれたモジュールについて説明する図。

【図 1 5】 本発明の半導体チップを用いた電子機器について説明する図。

【図 1 6】 ボトムゲート型 T F T およびデュアルゲート型 T F T について説明する図。

【図 1 7】 本発明の半導体チップの作製方法について説明する図。

【図 1 8】 本発明の半導体チップの作製方法について説明する図。

【符号の説明】

1 0 1、2 0 1 熱伝導性基板

1 0 2、2 0 2 第 1 の素子形成層

1 0 3、2 0 3 第 2 の素子形成層

1 0 4 接着層

2 0 4 異方導電性接着層

1 0 5、2 0 5 熱伝導成膜

1 0 6 接続配線

1 0 7、2 0 6 はんだボール

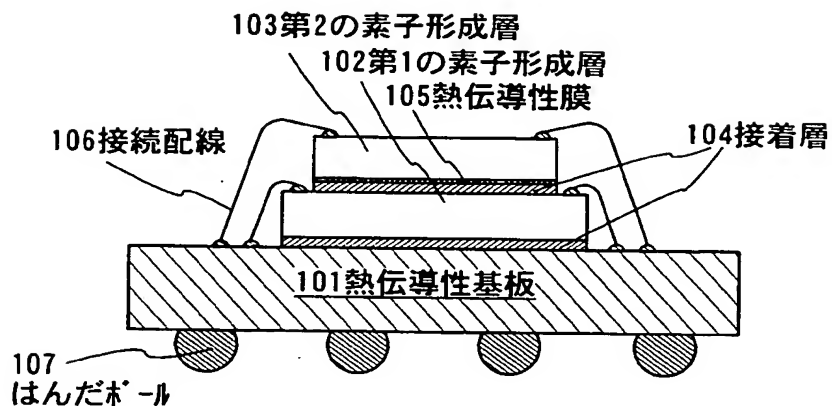


【書類名】

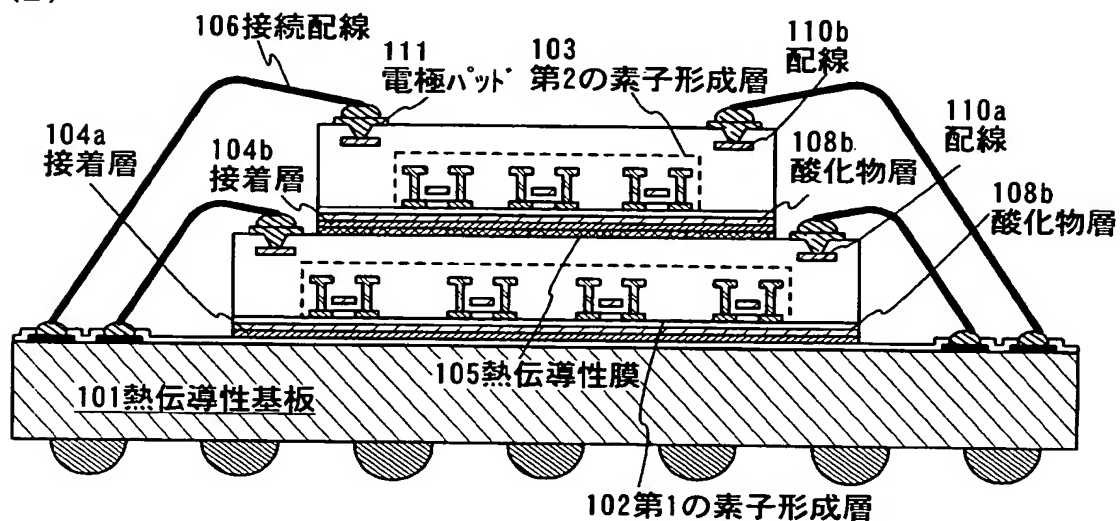
図面

【図 1】

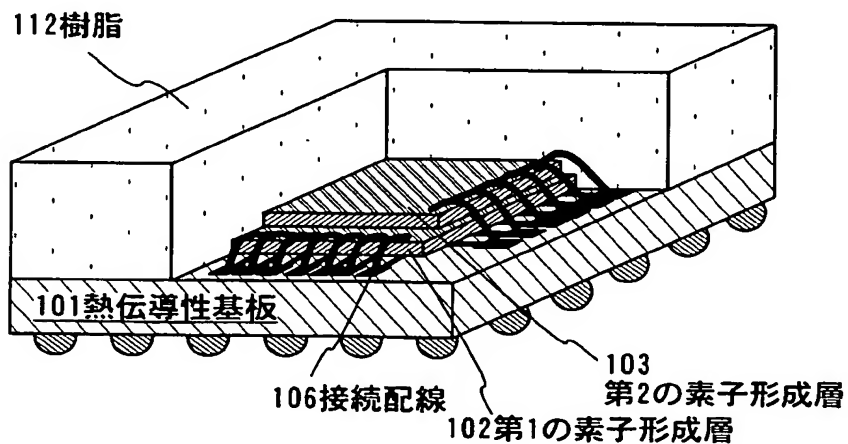
(A)



(B)

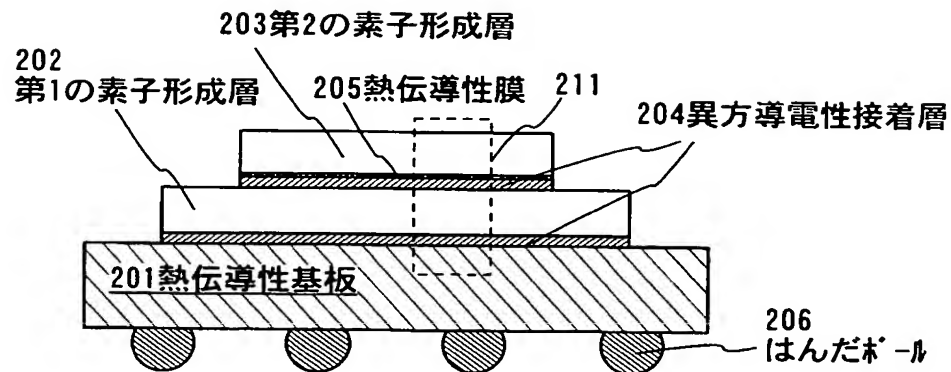


(C)

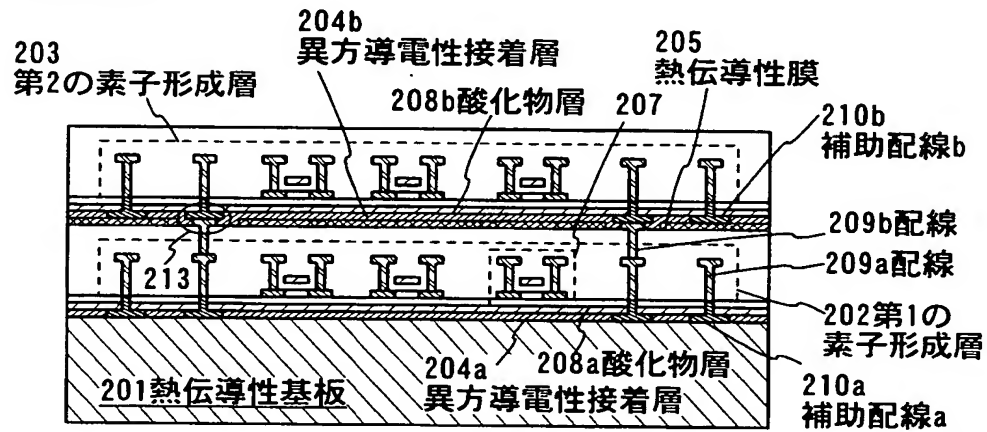


【図 2】

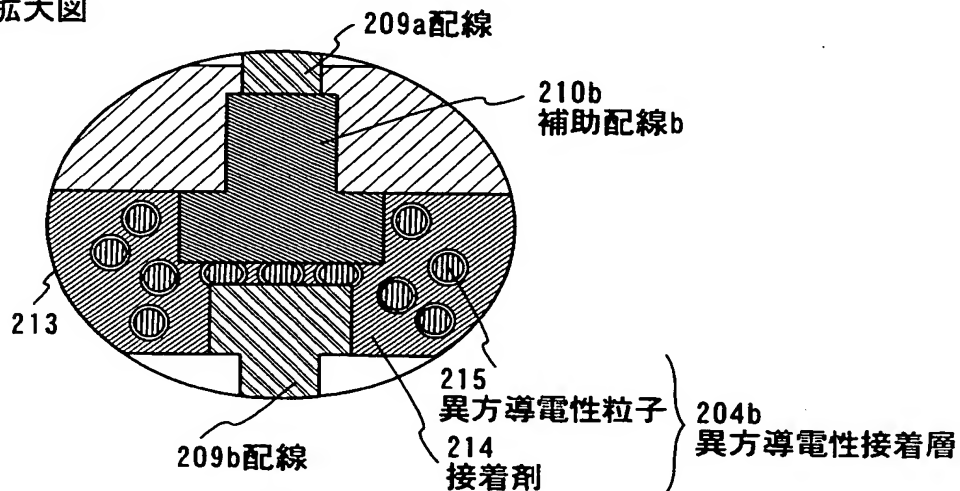
(A)



(B) 211の拡大図

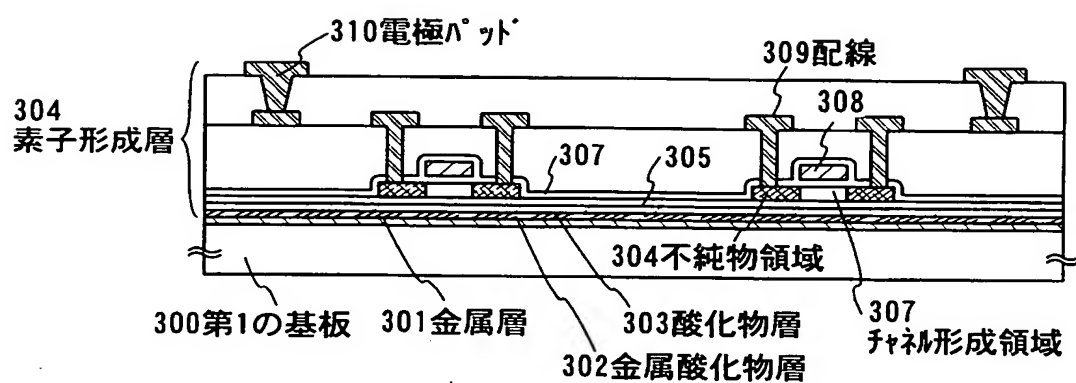


(C) 213の拡大図

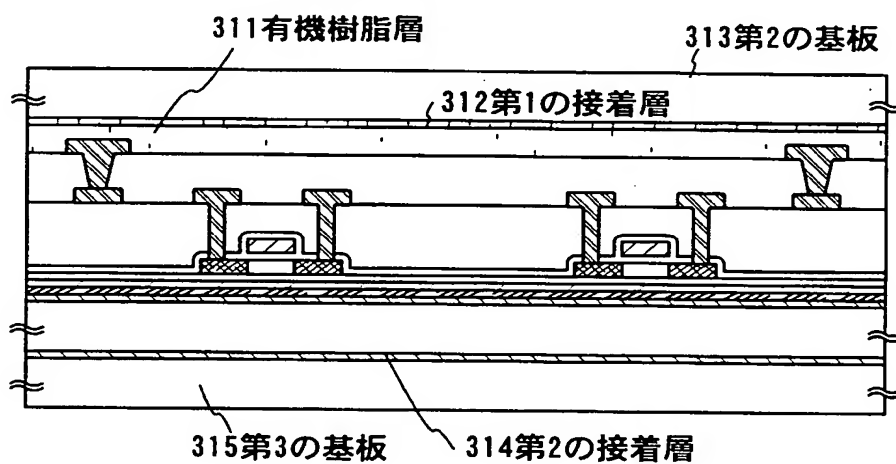


【図 3】

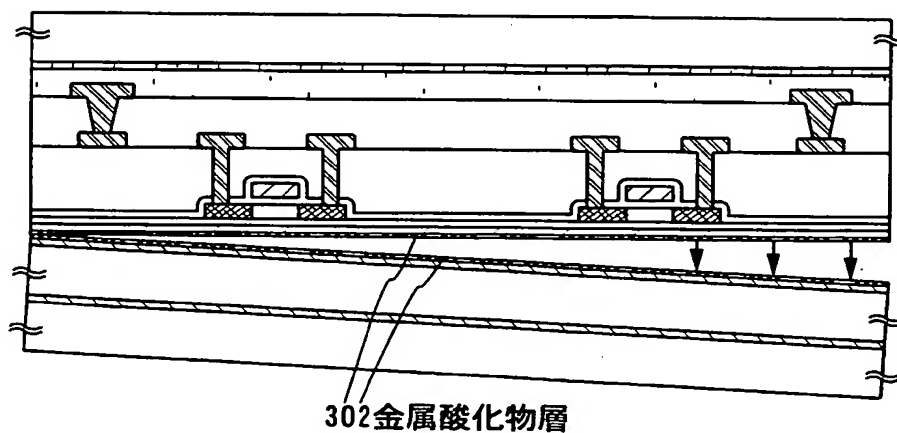
(A)



(B)

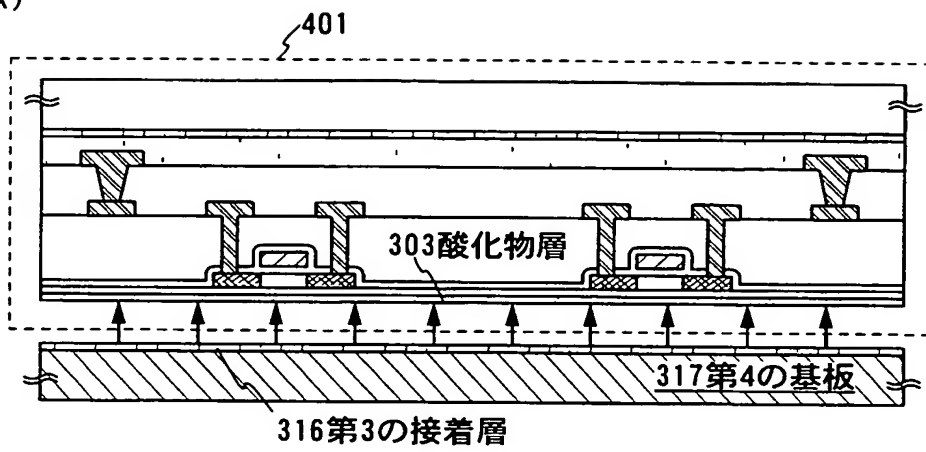


(C)

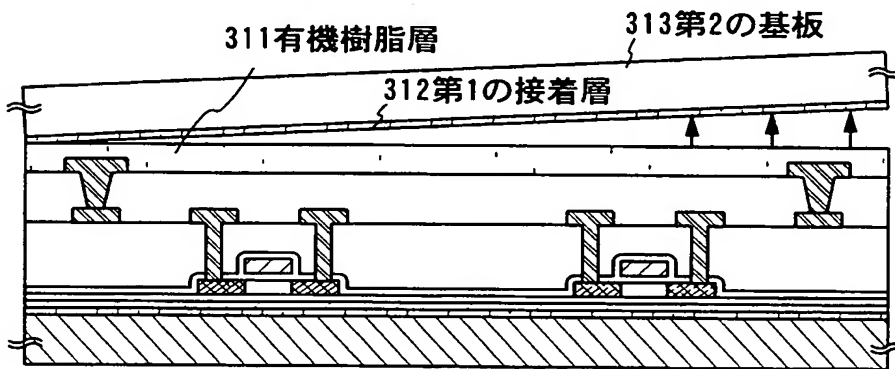


【図 4】

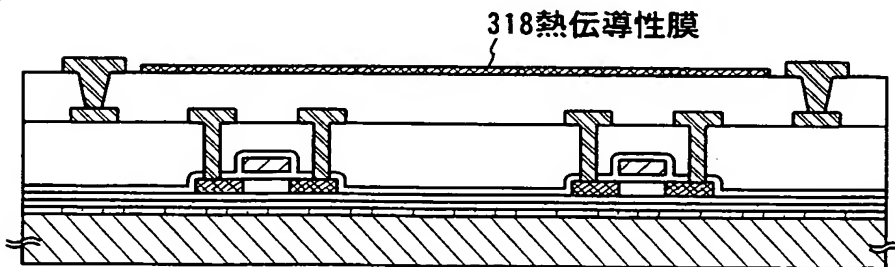
(A)



(B)

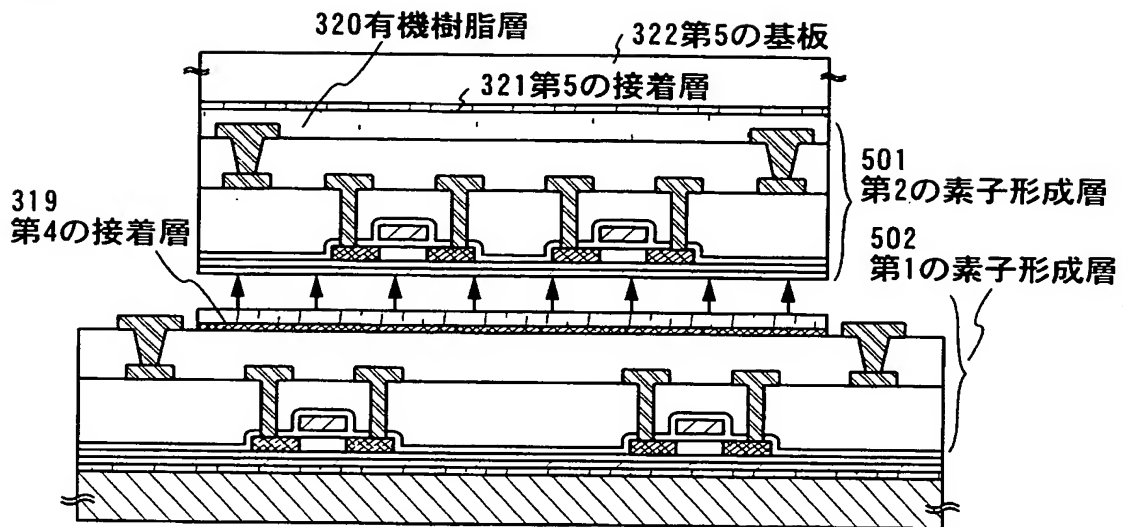


(C)

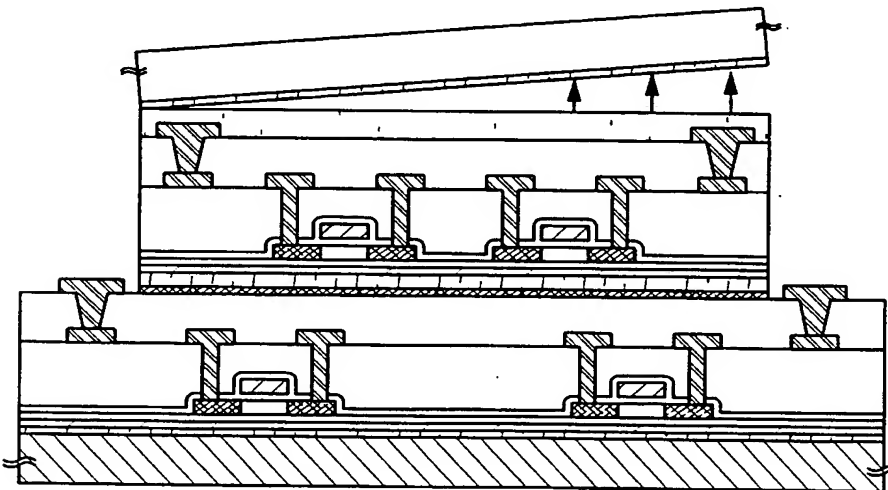


【図 5】

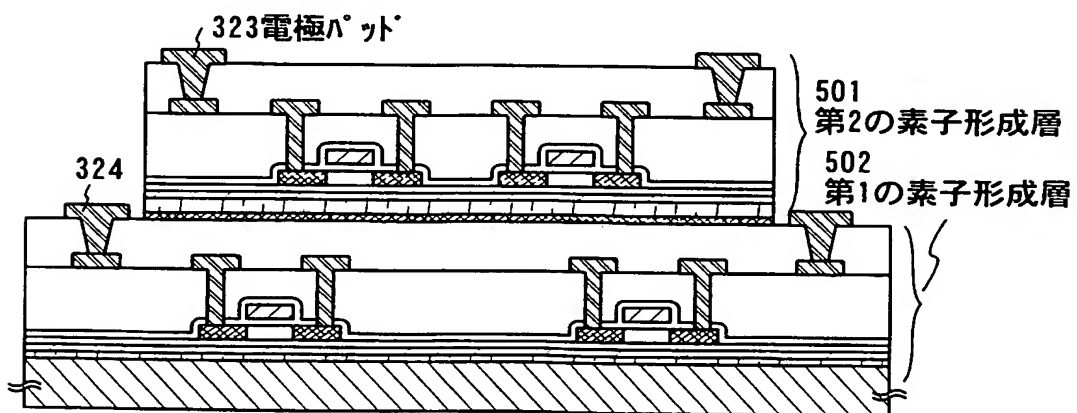
(A)



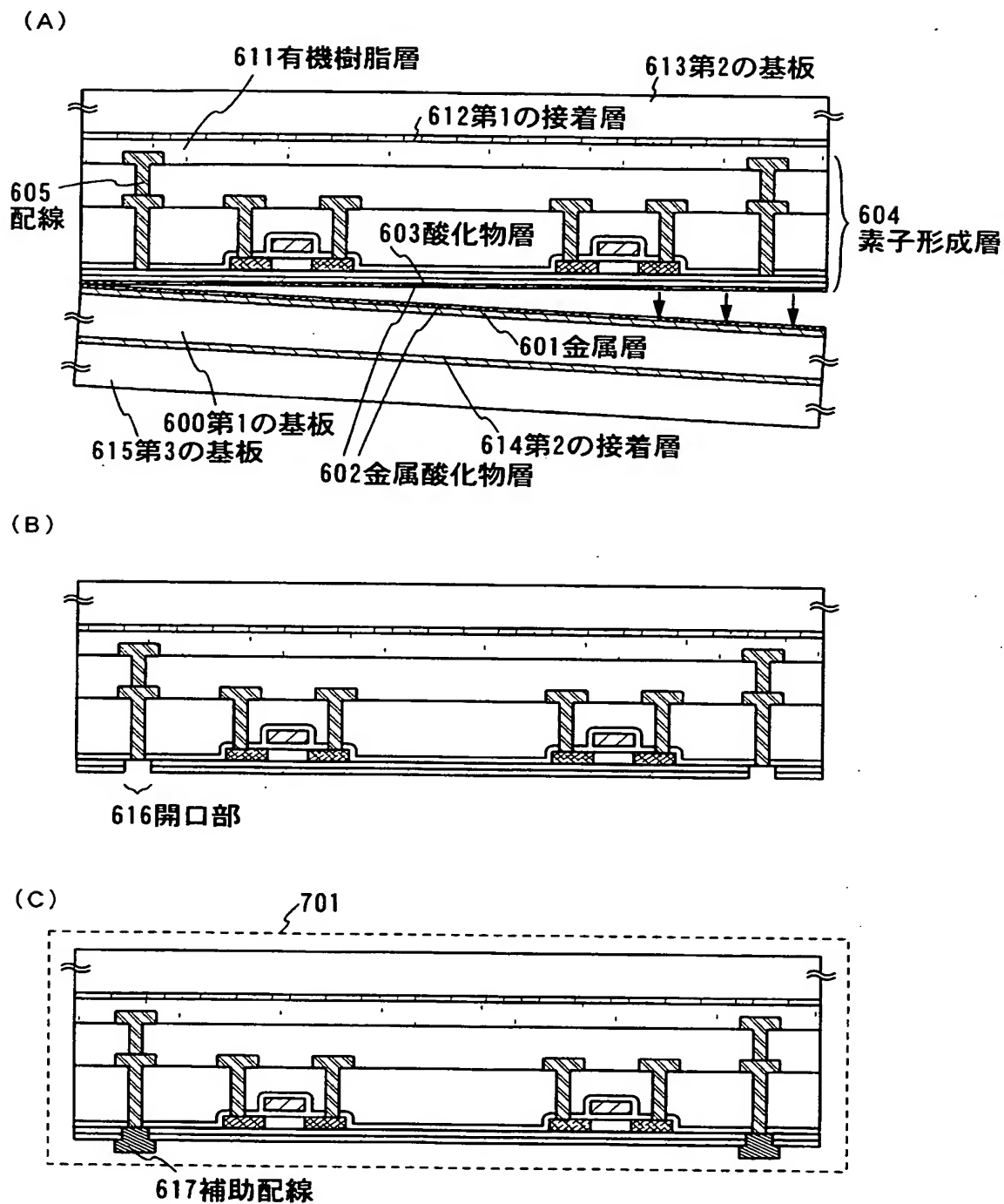
(B)



(C)

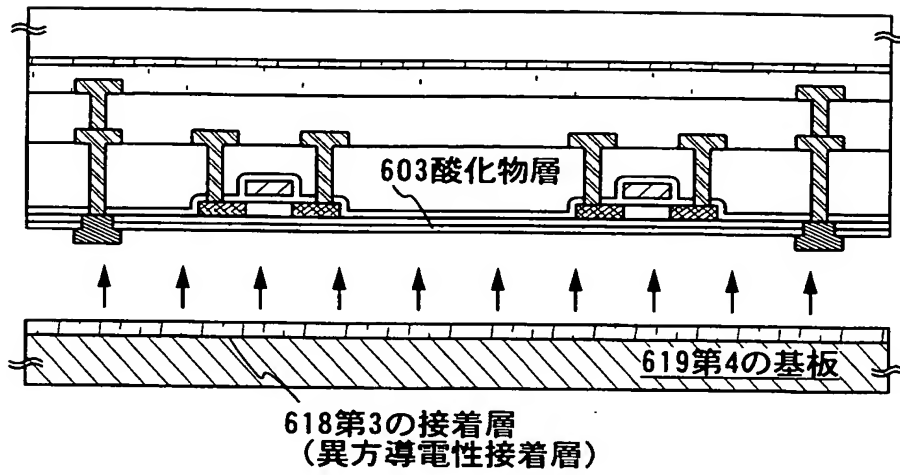


【図 6】

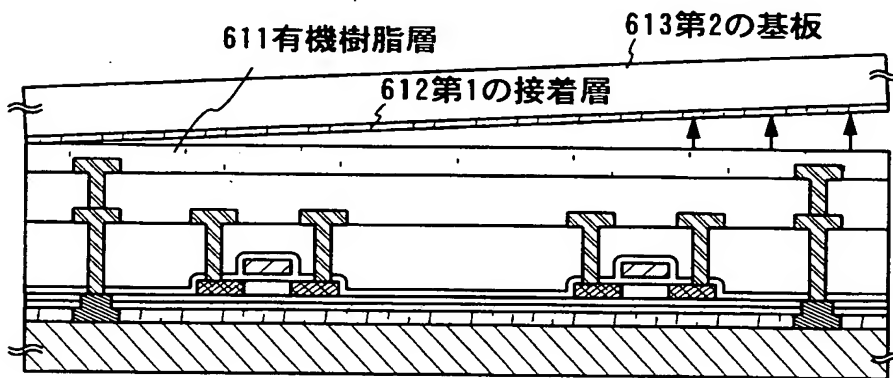


【図7】

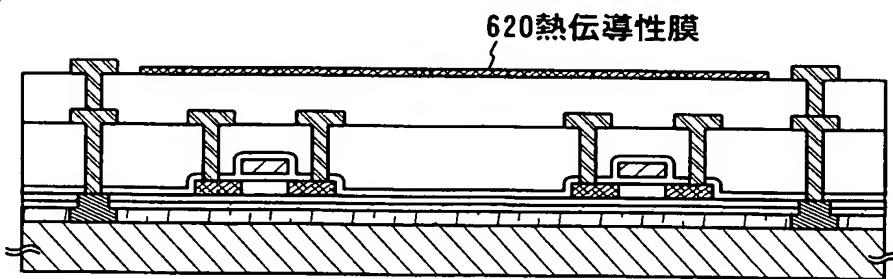
(A)



(B)

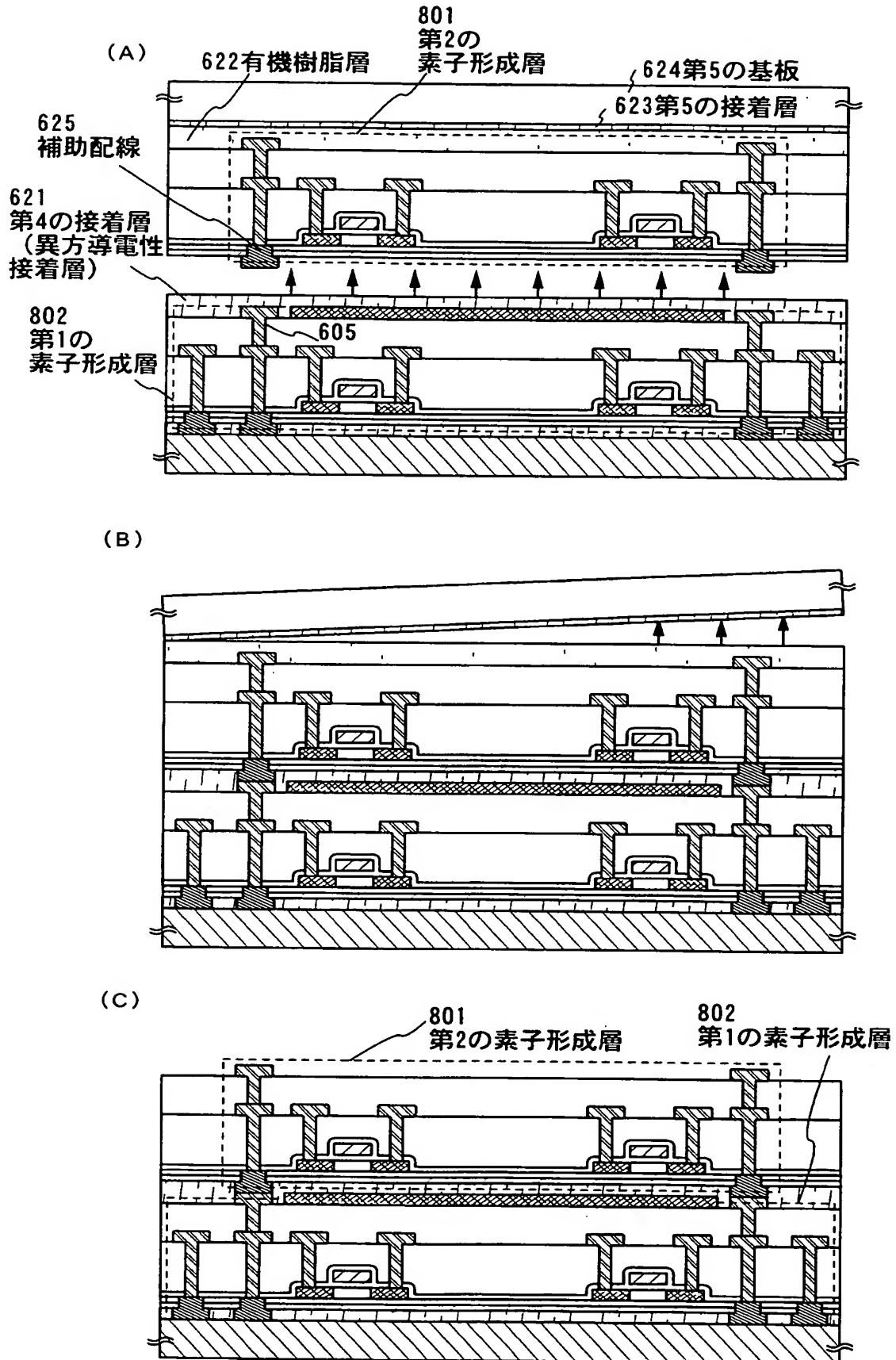


(C)



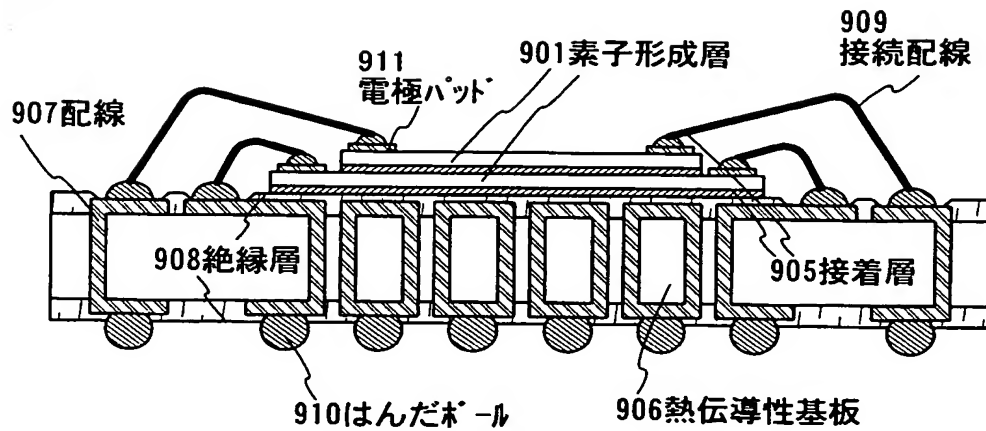
【図8】



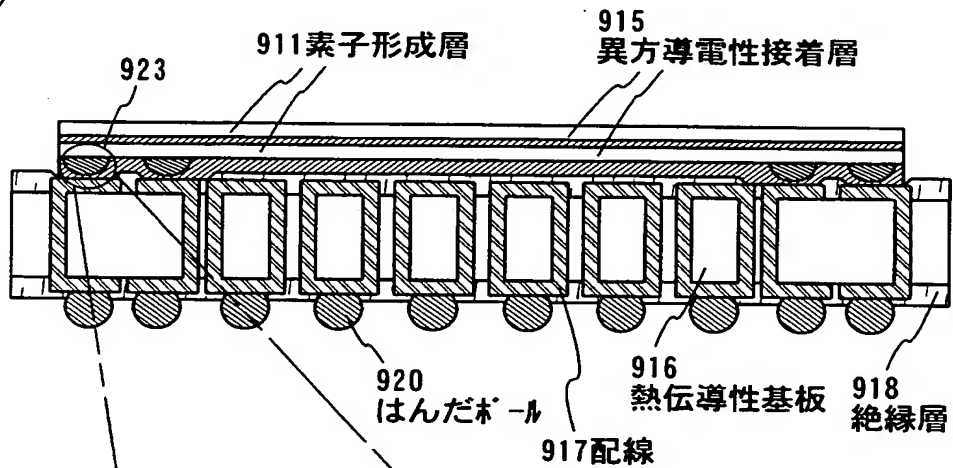


【図 9】

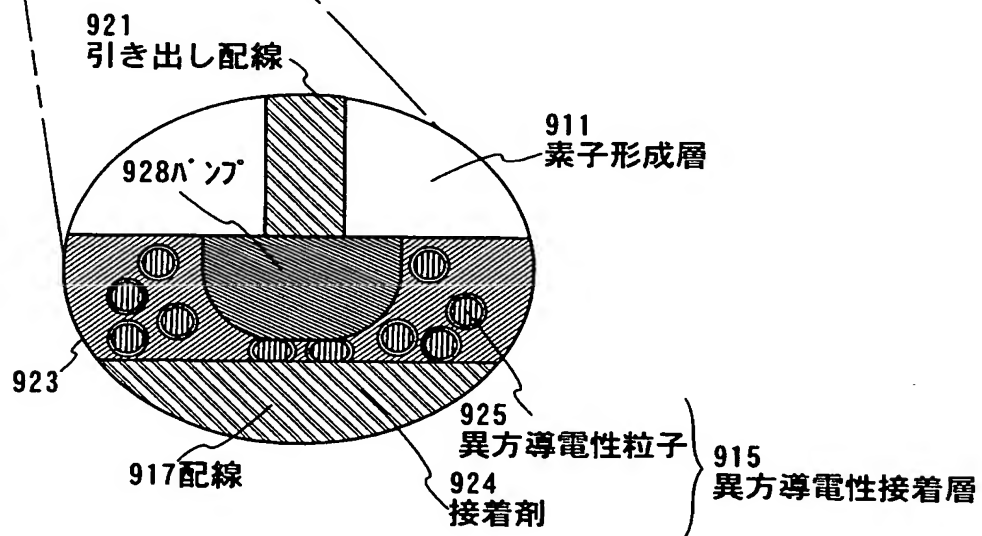
(A)



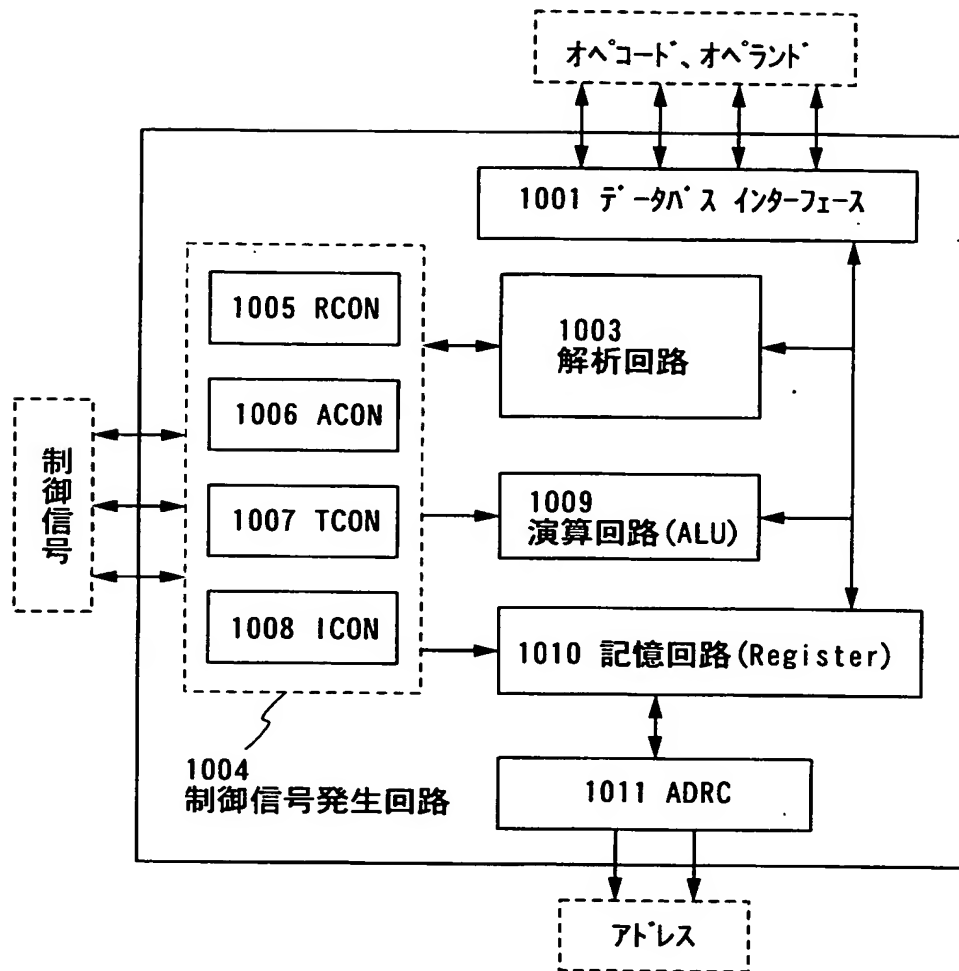
(B)



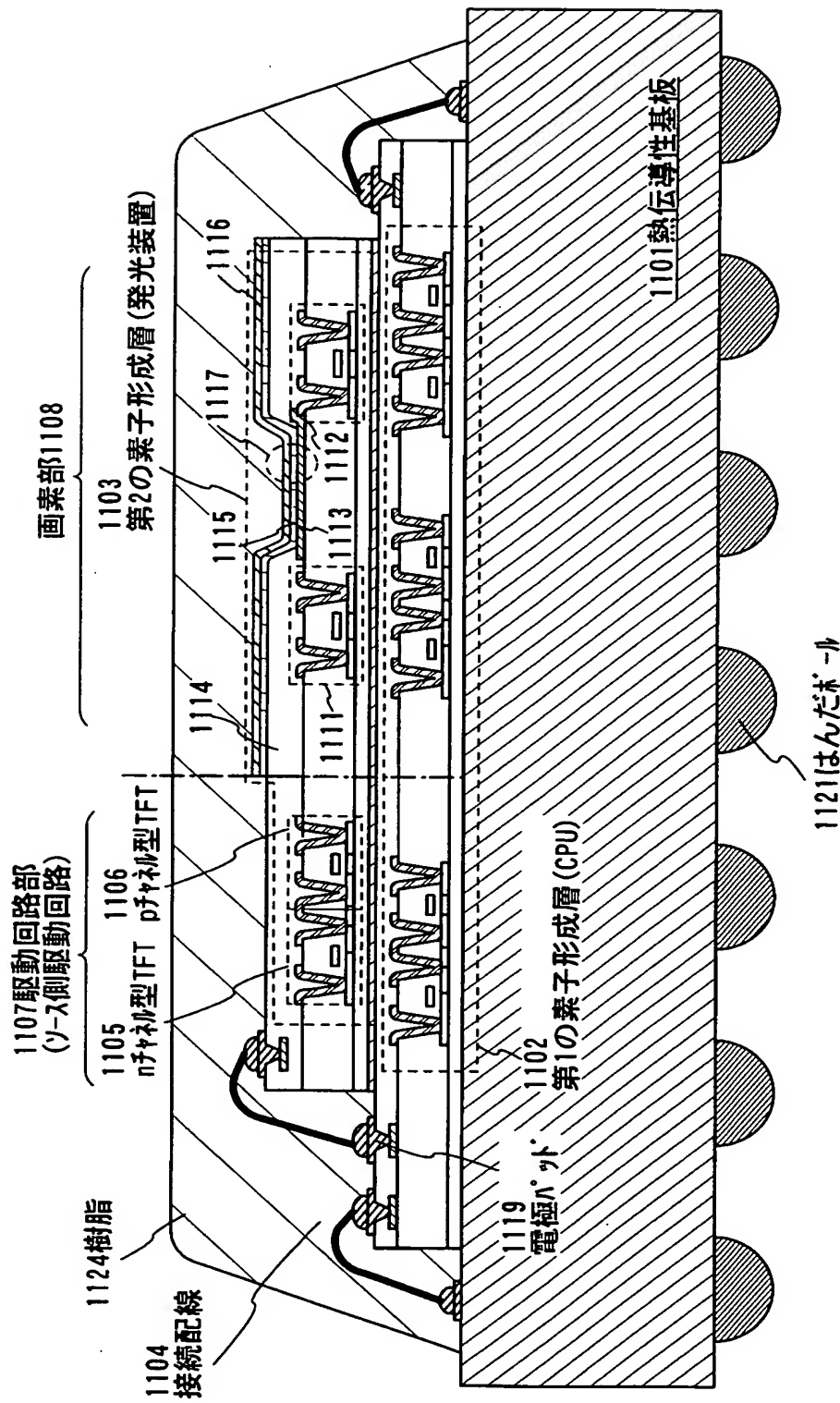
(C)



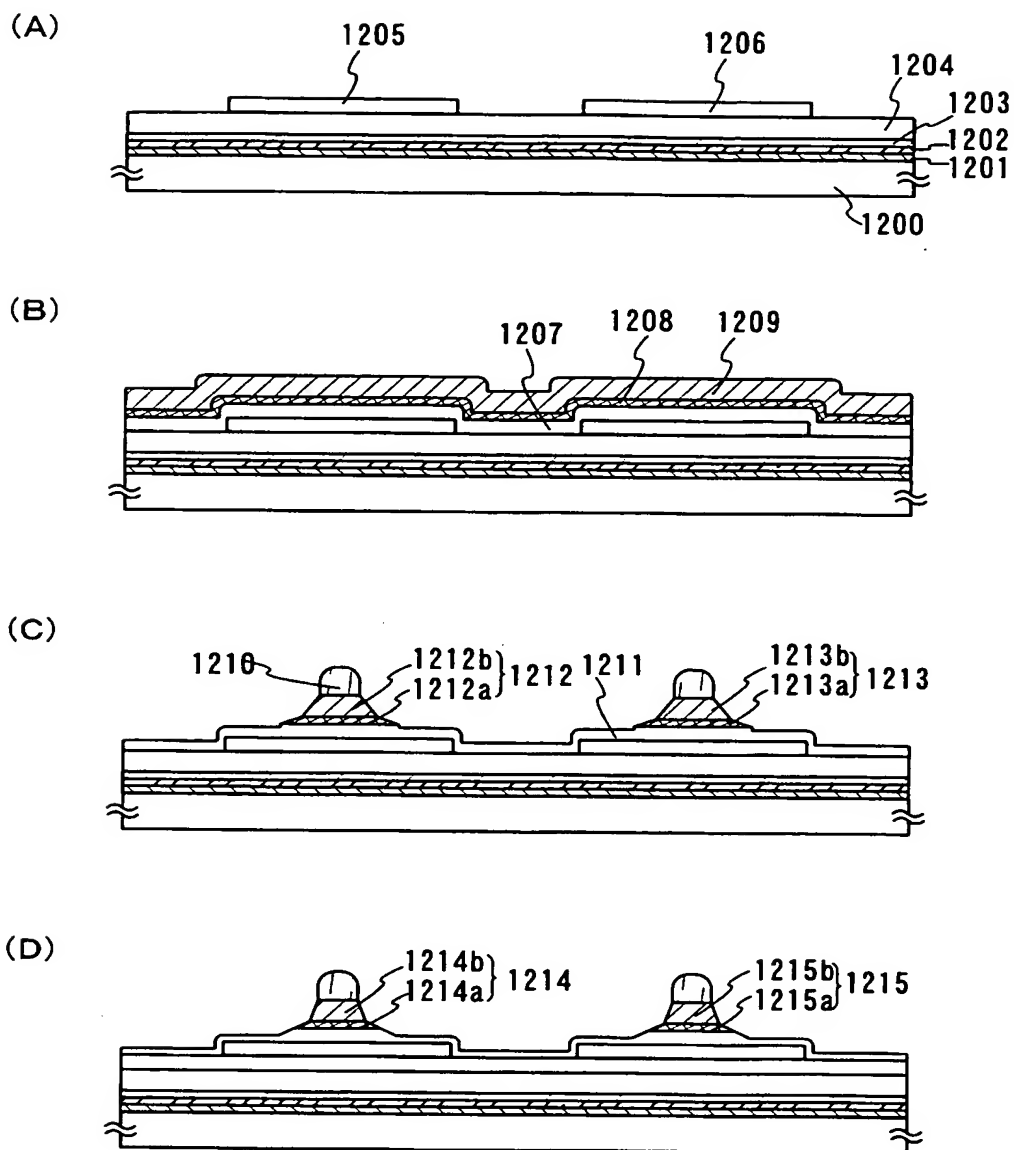
【図 10】



【図 11】

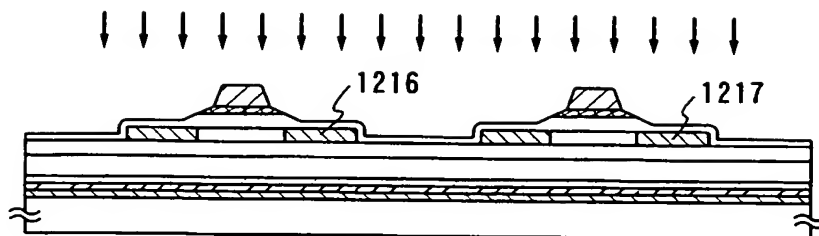


【図 12】

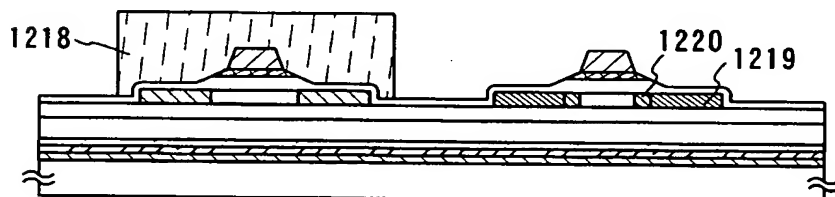


【図 13】

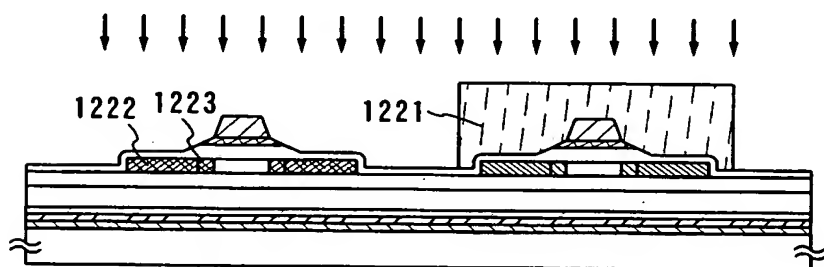
(A)



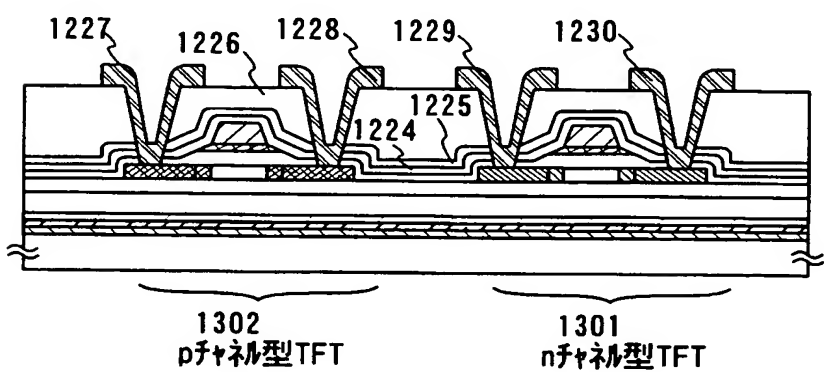
(B)



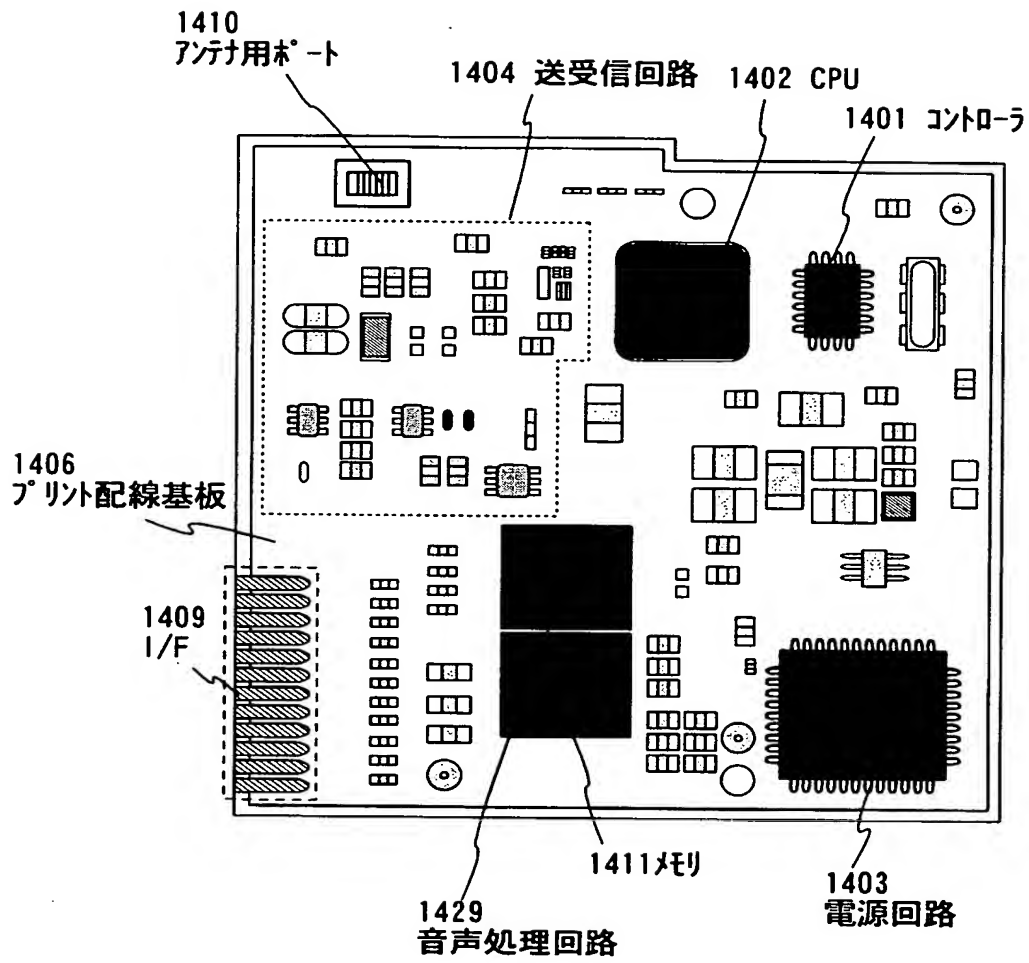
(C)



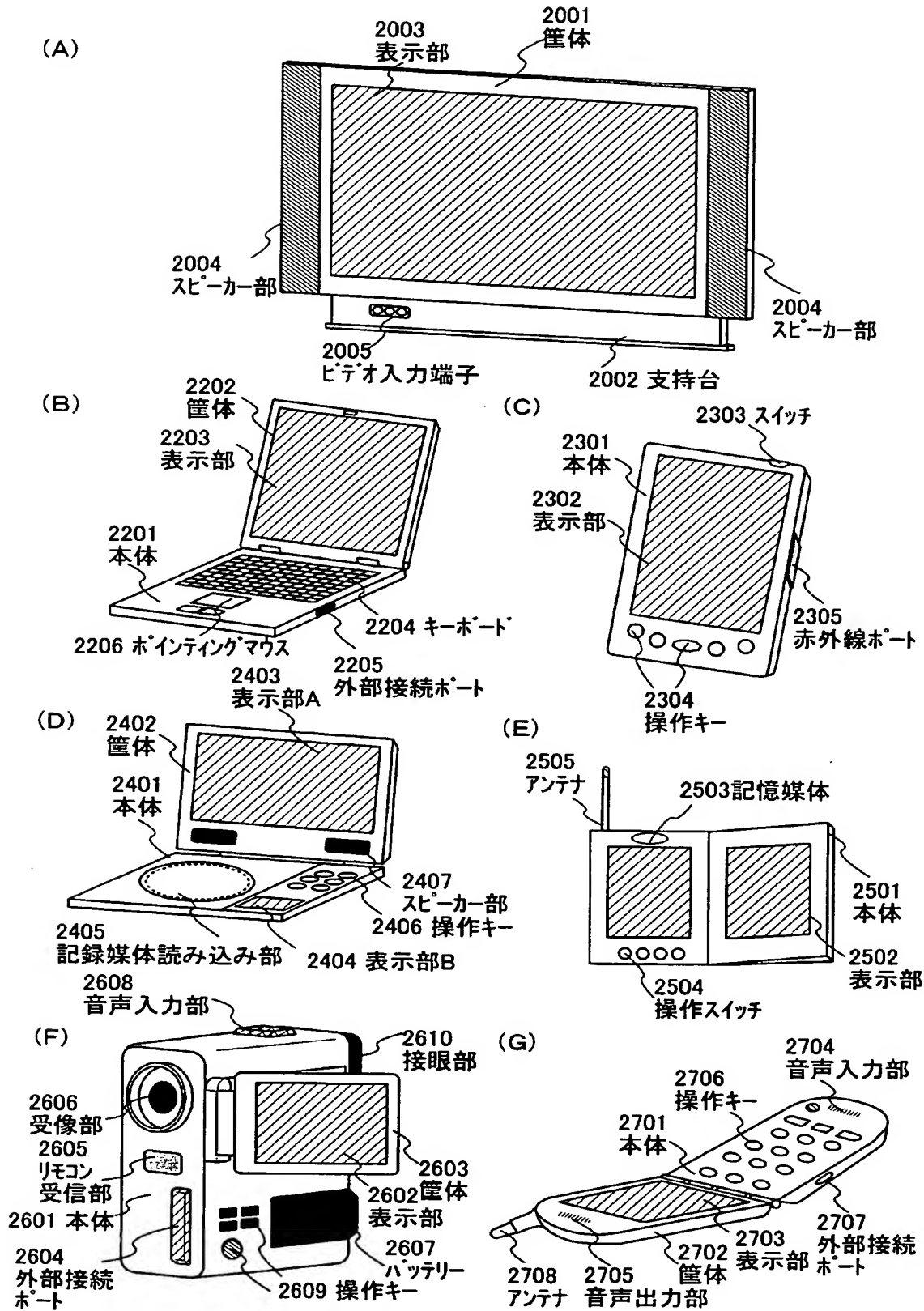
(D)



【図 14】



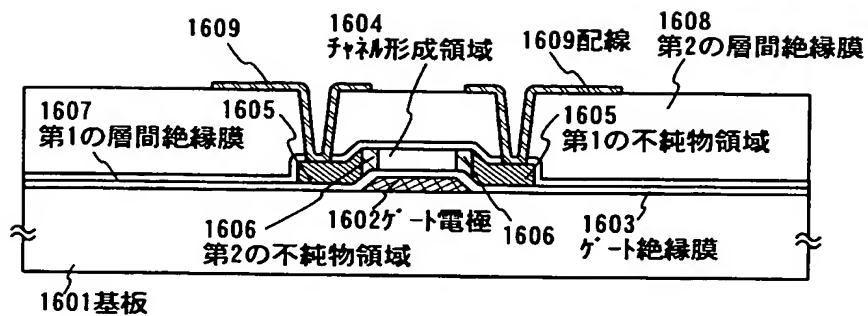
【図 15】



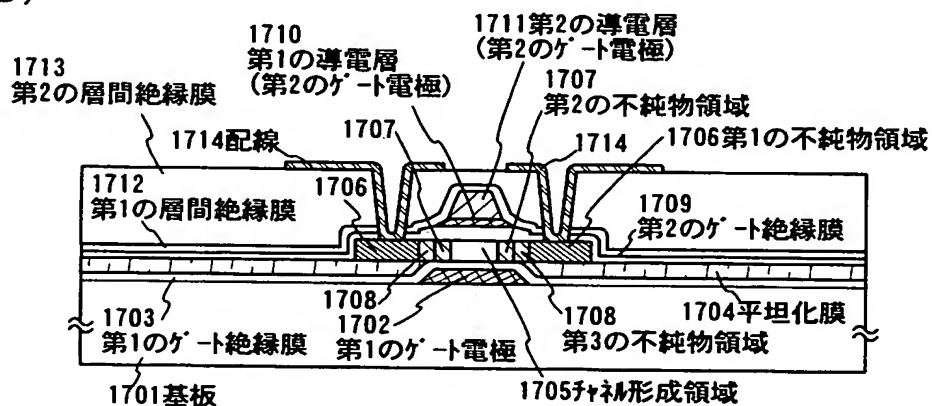


【图 16】

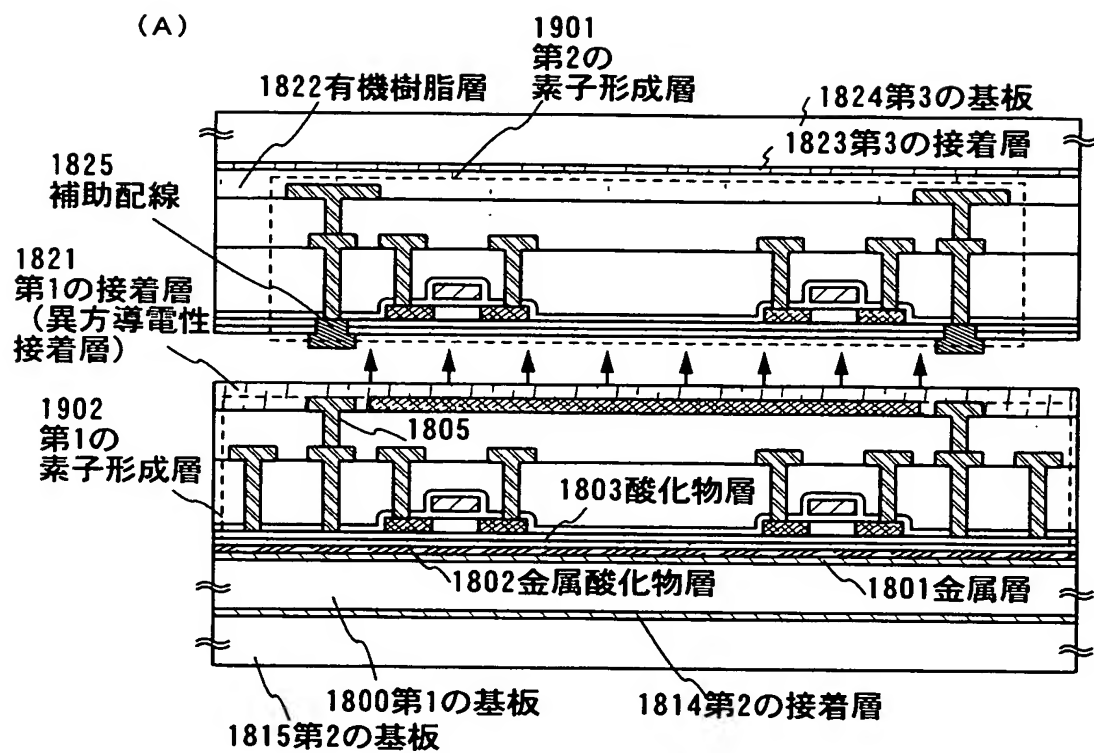
(A)



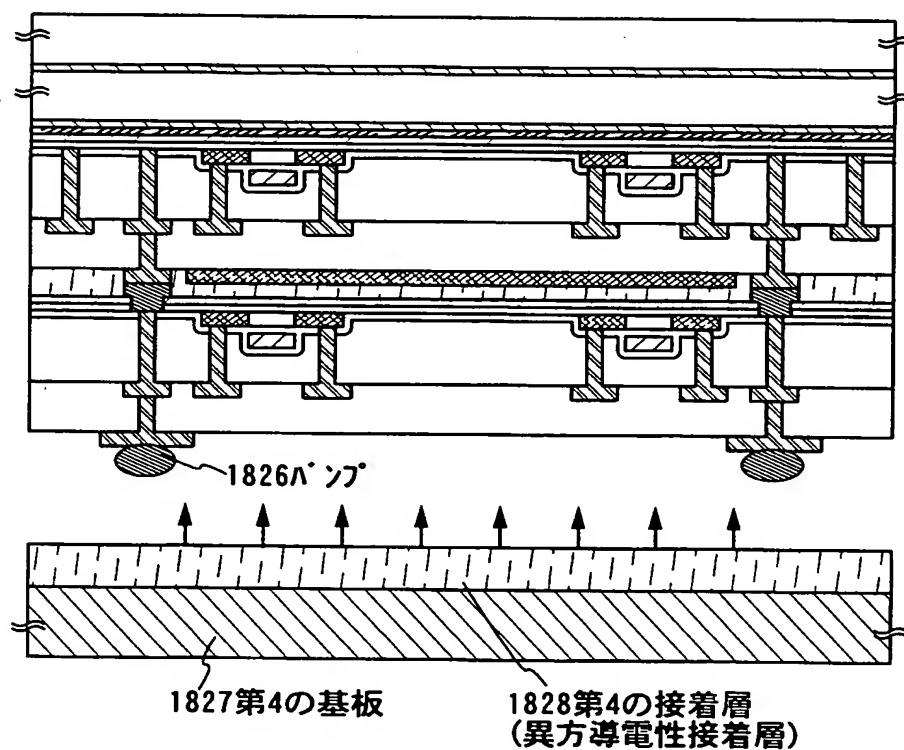
(B)



【図 17】

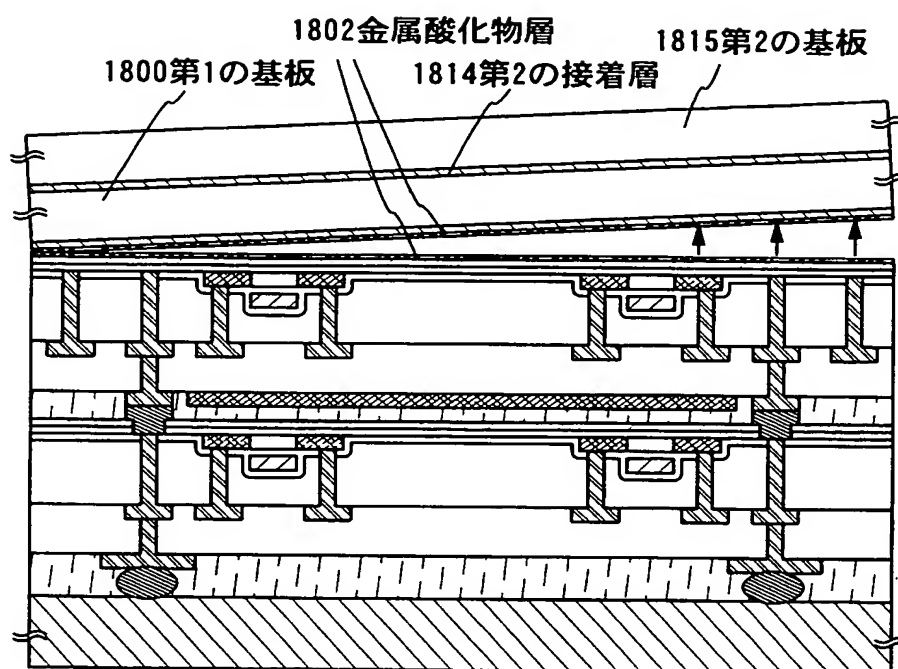


(B)

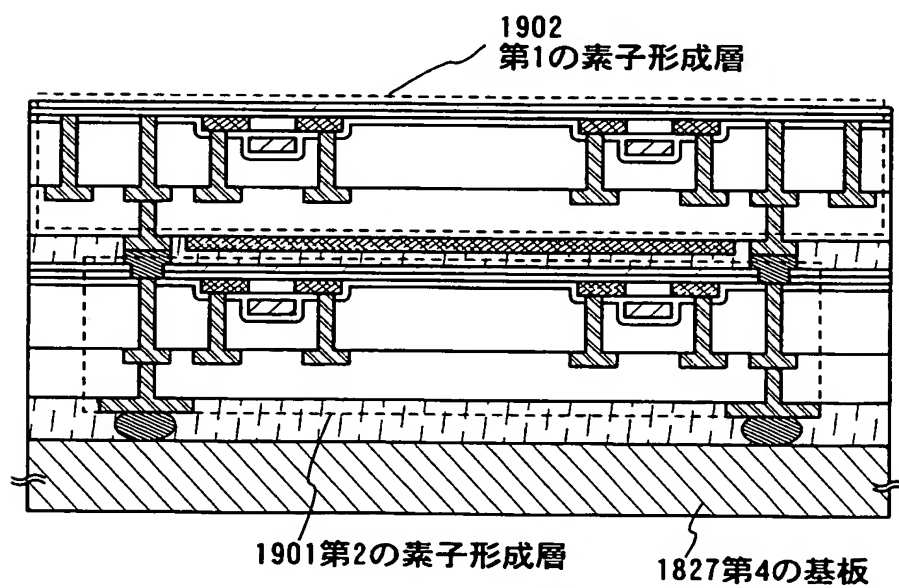


【図 18】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 転写技術を用いることにより、薄膜形成された複数の素子形成層が集積化された半導体チップを提供する。

【解決手段】 本発明では、転写技術を用いて一旦基板から剥離させた膜厚  $50\ \mu\text{m}$  以下の素子形成層を別の基板上に転写し、さらに別の基板から剥離させた膜厚  $50\ \mu\text{m}$  以下の素子形成層をその上に重ねて転写することを繰り返すことにより、従来の 3 次元的に実装させる場合に比べて薄膜化を実現しつつ高集積化させた半導体チップを形成することができる。

【選択図】 図 1、図 2

特願 2 0 0 2 - 3 6 8 9 4 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 5 3 8 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所